

Comparação de Topologias de *Full Adders* para Computação Aproximada

Pedro Silva

Universidade Federal de Santa Catarina
pedro.aquino@grad.ufsc.br

Cristina Meinhardt

Universidade Federal de Santa Catarina
cristina.meinhardt@ufsc.br

ABSTRACT

This work provides an analysis of a set of approximate full adder circuits in 16nm CMOS device technology, with the goal of identifying how these designs behave in a specific environment and applying voltage scaling when compared to conventional exact adders, focusing on reduction in power consumption. The results allow designers to evaluate the pros and cons of each design in error tolerant applications, especially in comparison with exact adders. In nominal tension, there was reduction of up to 90% in power consumption in XNOR based inexact FAs, and up to 75% gain in power and 25% gain in delay with CMOS simplifications. In near-threshold voltages, it was possible to obtain up to 22% improvement in delay and 50% in power consumption, when comparing the same designs operating under nominal voltage. The best results were obtained when applying voltage reduction in approximate designs, which reached improvements in power of up to 98%.

KEYWORDS

EMBEDDED SYSTEMS, LOW-POWER, APPROXIMATE COMPUTING

1 INTRODUÇÃO

Computação aproximada (*AC - approximate computing*) é uma área de pesquisa emergente, capaz de trazer bons resultados quanto a economia de energia [1]. Ela se aproveita da noção que muitas aplicações não tem exatidão como principal requisito e podem trabalhar com resultados parciais ou aproximados. Existem muitas aplicações conhecidas como tolerantes a erros que permitem explorar a computação aproximada para ampliar o espaço de projeto compensando os resultados com métricas de qualidade.

Nos últimos anos, AC tem sido explorada em desenvolvimento de *hardware* e *software* em diferentes contextos, incluindo aplicações de vídeo e áudio, dispositivos de *Internet of Things* (IoT), ambientes redundantes, visão computacional, *machine learning* e redes de sensores, por exemplo [2]. Algumas oportunidades para AC são aplicações nas quais [3][4]:

- (1) há processamento de dados do mundo real com degradação, tais como os sinais provenientes de sensores, por exemplo aplicações de IoT;
- (2) o resultado final será percebido pelos sentidos humanos, incluindo muitos problemas de inferência e visão; e
- (3) são adotados algoritmos inerentemente imprecisos, em que o conceito de resultado correto é substituído por um conjunto de resultados aceitáveis, como reconhecimento, análise de dados e *machine learning*.

Um exemplo de aplicação de AC é na codificação de vídeo. Devido às limitações da capacidade de percepção visual humana, é possível

admitir perdas de qualidade da codificação multimídia sem afetar a satisfação do usuário [5].

A maior motivação para o desenvolvimento de soluções de AC é a crescente demanda por projetos de baixa dissipação de potência [6]. Atualmente, em projetos de nanotecnologia, a duração de bateria é um fator importante a ser considerado. Muitas aplicações envolvem um grande número de operações aritméticas, explorando intensamente os módulos de adição. A operação de adição é a principal função aritmética em sistemas computacionais e a base dos mais comumente utilizados blocos aritméticos. Portanto, um sistema digital tem o *full adder* (FA) de 1 bit como um dos mais críticos blocos de uma unidade aritmética. O desempenho de uma célula *full adder* é um ponto vital a ser melhorada para atingir operações rápidas de baixo consumo energético no bloco aritmético [7].

Pela literatura, muitos trabalhos exploram AC em blocos aritméticos em nível arquitetural ou *Register-Transfer Level* (RTL) [4][6][8]. Poucas pesquisas investigam técnicas de AC aplicadas a nível de transistores no projeto de *full adder*. Logo, este trabalho oferece uma comparação de um conjunto de circuitos somadores aproximados em tecnologias nanométricas.

O objetivo principal é identificar como esses projetos comportam-se em um ambiente específico comparados a somadores exatos convencionais, analisando desempenho, potência e a relação entre estes dois fatores através da métrica *Power-Delay Product* (PDP). Tal caracterização é feita para cada um dos circuitos estudados, tanto em tensão nominal, quanto em tensões *near-threshold*, uma vez que o maior foco de AC é a redução do consumo energético e a técnica de operar com tensão reduzida é um dos mais tradicionais métodos de redução de potência.

O conjunto de informações apresentado neste trabalho contribui para que projetistas possam entender melhor as alternativas para *full adder* em computação aproximada, e escolher o FA mais apropriado para aplicações específicas.

2 SOMADORES COMPLETOS

Uma parte muito importante para o funcionamento de qualquer sistema eletrônico é o circuito somador, um circuito digital que implementa a soma de bits. A função da célula somadora em si, não parece muito complexa, mas se for levada em conta quantas vezes o processador precisa acessar esse tipo de circuito, é possível perceber o quão importante ela é para o funcionamento do sistema.

O somador é base de outras operações aritméticas, tais como subtração, multiplicação e divisão e por isso, é a principal célula da Unidade Lógica e Aritmética (ULA) de sistemas computacionais. Somadores completos são utilizados em diferentes módulos aritméticos, como por exemplo, em multiplicadores.

Um somador completo realiza a soma de 1 bit. É necessário relacionar este somador com outros, para, assim, poder realizar a

soma de quantos bits forem necessários. Para isso, é adicionada mais uma entrada no circuito do somador completo além dos números que serão somados. Esta entrada é responsável por receber o bit de *carry out* do bit somador menos significativo, e é chamada de *carry in* (vem um). Sendo assim, o somador completo é formado por três entradas e duas saídas. A tabela verdade do somador completo é representada na coluna EXATO da Tabela 1.

A partir da tabela verdade, é possível perceber que agora as funções são mais complexas para representar as saídas. Para representar a saída da Soma (S), a seguinte função booleana é utilizada, onde $\oplus$ representa a função lógica XOR.

$$S = A \oplus B \oplus Cin$$

E a saída *carry out* é descrita pela seguinte função booleana, onde $\cdot$ representa a função lógica AND e $+$ representa a função lógica OR.

$$Cout = (A \cdot B) + (A \oplus B) \cdot Cin$$

Existem diferentes tipos de arranjos de transistores que implementam circuitos somadores de 1 bit. Cada uma das abordagens tem vantagens e desvantagens bem exploradas em relação à área, atraso e potência.

2.1 Somadores Aproximados

Neste trabalho, oito diferentes topologias de *full adder* foram escolhidas e analisadas. Quatro delas são versões com computação aproximada aplicados à implementação tradicional de *mirror adder* (EMA), apresentado na Figura 1. As três simplificações lógicas, ou aproximações, exploradas como aproximações do EMA são apresentadas nas Figuras 3(a), 3(b) e 3(c).

As outras topologias são uma implementação de um FA exato baseada na função XNOR[9], a topologia EXA. O circuito deste FA é apresentado na Figura 2. Para este circuito, são considerados uma aproximação baseada em XOR, e outras duas aproximações baseadas em XNOR[10], mostradas nas Figuras 4(a), 4(b) e 4(c).

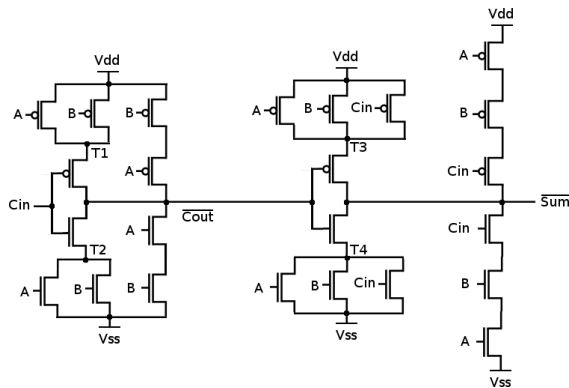


Figure 1: Exact Mirror Adder (EMA).

A arquitetura EMA CMOS é considerada a mais tradicional, e foi escolhida como base de comparação entre as topologias estudadas. É composta de 24 transistores, estruturados em redes *pull-up* e *pull-down*, que são logicamente complementares. A maior vantagem deste circuito é o fornecimento de boa condutibilidade, e muito boa

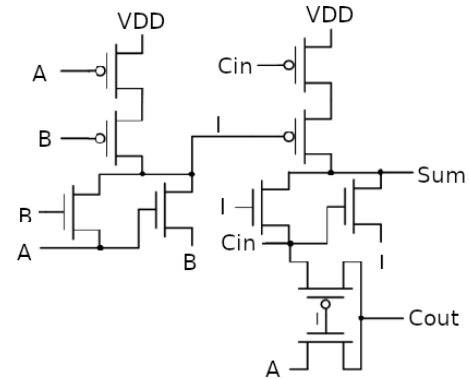


Figure 2: Exact XNOR Adder (EXA).

robustez quando se trabalha com tecnologias muito reduzidas e baixas tensões. Contudo, as maiores desvantagens do EMA são a alta capacitância das entradas e o impacto da rede *pull-up* que faz com que o circuito seja mais lento[11].

O FA exato EXA faz uso de lógica de transistores de passagem (PTL - Pass-Transistor Logic), tendo sido elaborado com 10 transistores. Este circuito foi escolhido como exemplo de um circuito de baixa potência e eficiência em área para *full adders*[9] [10]. Como o circuito EMA CMOS, este dispositivo também tem a desvantagem de ser mais lento, devido à implementação PTL.

As aproximações de FA exploram o relaxamento da precisão numérica, e foram projetados com redução da complexidade lógica, de modo a reduzir o número de transistores e a energia consumida. Logo, eles apresentam diferenças em suas tabelas verdade, como mostrado na Tabela 1.

Table 1: Tabelas verdade para um FA exato e para as aproximações estudadas.

INPUT	EXATO	SMA	AMA1	AMA2	AXA1	AXA2	AXA3
A B Cin	S Cout	S Cout	S Cout	S Cout	S Cout	S Cout	S Cout
0 0 0	0 0	0 0	1 0	0 0	0 0	1 0	0 0
0 0 1	1 0	1 0	1 0	1 0	1 0	1 0	1 0
0 1 0	1 0	0 1	0 1	0 0	0 1	0 0	0 0
0 1 1	0 1	0 1	0 1	1 0	1 0	0 1	0 1
1 0 0	1 0	0 0	1 0	0 1	0 1	0 0	0 0
1 0 1	0 1	0 1	0 1	0 1	1 0	0 1	0 1
1 1 0	0 1	0 1	0 1	0 1	0 1	1 1	0 1
1 1 1	1 1	1 1	0 1	1 1	1 1	1 1	1 1

Os vetores de entrada que geram falha quando comparados ao esperado nas implementações exatas de FA são descritos na Tabela 2. Percebe-se que as simplificações que trazem maior número de entradas de erro são a AXA1 e AXA2, enquanto o menor número de erros é obtido no SMA e no AXA3, que apresentam somente dois vetores de falha.

3 METODOLOGIA

O presente trabalho foca na redução da dissipação de potência resultante do uso de somadores aproximados em comparação com

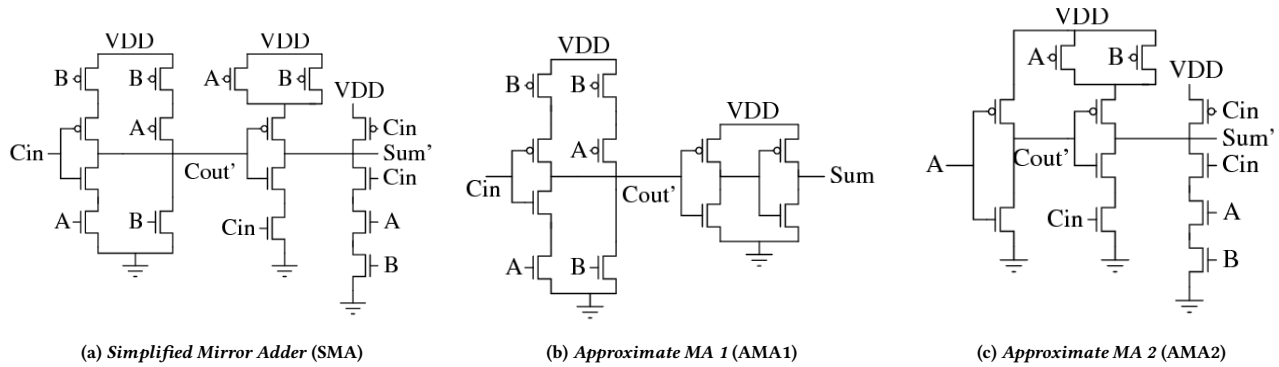


Figure 3: FAs aproximados baseados no Mirror Adder

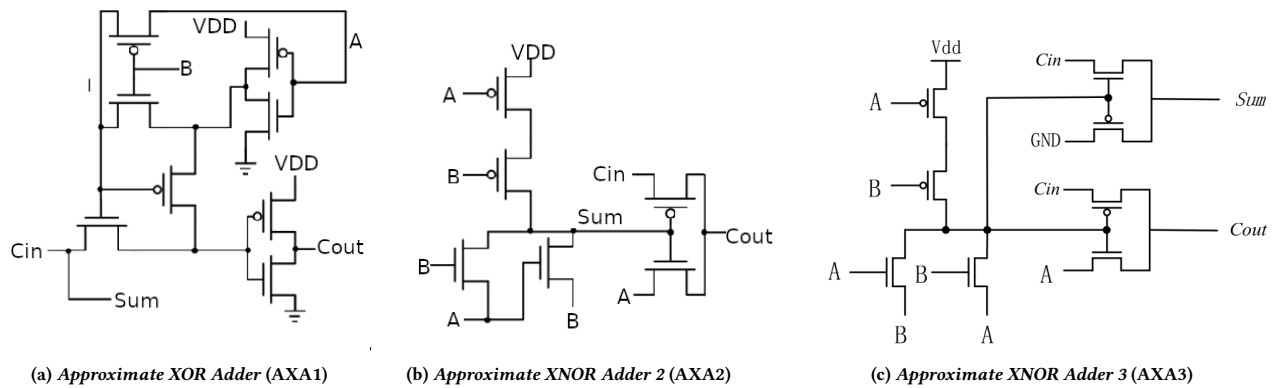


Figure 4: FAs aproximados baseados em XOR/XNOR

Table 2: Contagem de transistores e de erros para cada aproximação de FA

Topologia	# transistores	Entradas de falha	# falhas
SMA	16	010, 100	2
AMA1	11	000, 010, 111	3
AMA2	11	010, 011, 100	3
AXA1	8	010, 011, 100, 101	4
AXA2	6	000, 001, 100, 110	4
AXA3	8	010, 100	2

topologias convencionais de FAs exatos, observando-se também o impacto no atraso devido ao caminho crítico de cada arquitetura. Logo, o atraso, a potência e o PDP são analisados para cada um dos oito FAs sob tensão nominal, e posteriormente em um ambiente *near-threshold*.

As topologias foram simuladas utilizando o modelo de transistores oferecido pela *Arizona State University*, conhecido como *Predictive Transistor Model* (PTM), para a tecnologia de *16nm bulk CMOS*[12]. A tensão nominal utilizada foi de 0.7V.

Para realizar a caracterização dos somadores avaliados, foram realizadas simulações na ferramenta NGSPICE. O experimento consistiu em extrair o tempo de propagação do caminho crítico e consumo de energia, de modo a calcular a potência e o PDP de cada topologia. Uma análise transiente é utilizada para obter o atraso e a energia consumida, aplicando definições de tempo propagação de atraso e consumo energético[13].

A potência média dissipada é obtida pela divisão da energia consumida e o tempo total de simulação. O PDP é uma métrica determinada pelo produto da potência e o atraso adotada para permitir uma avaliação conjunta das vantagens e desvantagens das técnicas quanto a potência e desempenho.

Todos os transistores foram dimensionados baseando-se nas regras de escalabilidade MOSIS CMOS. Cada transistor contém um comprimento de canal $L = 16\text{nm}$. A largura de canal para os transistores NMOS é de $W_n = 32\text{nm}$, e para os PMOS é de $W_p = 64\text{nm}$. Para a análise dos circuitos, dois inversores foram utilizados para cada entrada e dois inversores (*fan-out-of-2*) foram usados como carga para emular um cenário mais realístico.

Além disso, as três topologias que utilizam PTL e são baseadas em XNOR necessitaram da inserção de uma fonte de alimentação *boost* para serem propriamente analisadas, devido ao fato de suas

saídas apresentarem ruído excessivo. A tensão *boost* foi inserida a um único *input* (sinalizado por "A" nos esquemáticos de cada design), e a tensão utilizada foi de 0.9V nas simulações nominais. No estudo *near-threshold*, esta fonte *boost* também teve sua tensão reduzida.

Este trabalho consiste de três etapas: a primeira é a validação lógica dos arranjos, a segunda a extração dos dados em tensão nominal, e a terceira a análise *near-threshold* das topologias. O primeiro passo é feito implementando-se os circuitos e aplicando estímulos de modo a garantir o funcionamento correto, de acordo com as tabelas verdade apresentadas na Tabela 1. O segundo estágio requer a definição de arcos de transição, baseados nas tabelas verdade. Isso pode ser feito considerando cada transição (*high-to-low* ou o contrário) quando somente uma entrada é alterada.

Há duas saídas para cada circuito, uma vez que cada circuito fornece uma saída *sum* e outra para *carry-out* (*cout*). Como as tabelas verdade são diferentes entre si, foram definidas, ao total 16 arcos de transição. Por serem diferentes, os arcos requerem também diferentes tempos de simulação, variando de 12ns até 25ns, nos arcos referentes à saída *sum*, e de 12ns a 13ns para os arcos de *cout*.

A comparação foi feita de acordo com o atraso, considerando: 1) o maior atraso nas simulações para *sum* e *cout*; 2) a potência, tomando-se o maior entre as calculadas para *sum* e *cout*; e, finalmente, 3) o PDP. O período para todas as simulações foi mantido em 1ns.

Finalmente, na terceira etapa do estudo, foi realizada a análise conjunta com a técnica de redução de tensão até a operação *near-threshold*. Esta técnica tradicional foi proposta para redução do consumo de energia, sendo nomeada de *voltage scaling* [14]. Essa ideia surgiu da análise da equação da potência dinâmica, onde C é a capacitância de carga, f é a frequência de operação do célula e V é a tensão de alimentação da célula. Assim, fica demonstrado que a potência dinâmica tem dependência quadrática com a tensão de alimentação.

$$P * d = C * f * V^2$$

A aplicação da técnica de redução de tensão considerou tensões na faixa de 0.6V a 0.3V. Para cada somador, foi-se reduzida a fonte de tensão em 0.1V, e novamente coletados os dados de caracterização elétrica, para comparar-se ao somador em tensão nominal. Para os somadores que precisaram da fonte *boost*, em particular os somadores baseados em XNOR, também foi-se reduzindo a nova tensão no passo de 0.1V a cada iteração da simulação, até que os sinais apresentassem o mínimo ruído.

Para esta tecnologia, a tensão de *threshold* é de aproximadamente 0.4 V. Então, denomina-se análise *near-threshold* para os resultados encontrados com tensões entre 0.4V e 0.3V. Os circuitos baseados no *mirror adder* conseguiram operar em tensões de 0.3V sem redução na frequência de operação. Enquanto que as arquiteturas baseadas no somador XNOR de 10 transistores tiveram um limite mínimo de operação atingido na tensão de 0.4V.

4 COMPORTAMENTO ELÉTRICO EM OPERAÇÃO NOMINAL

A primeira avaliação leva em conta o comportamento elétrico dos circuitos em tensão de alimentação nominal, começando com o *mirror adder* e suas aproximações, seguindo para os somadores

baseados em XOR/XNOR. Posteriormente, fez-se uma comparação entre as cada topologia exata e seus respectivos *designs* inexatos, e finalmente entre todos os circuitos, precisos e imprecisos, e a implementação tradicional do *mirror adder*. Os resultados são resumidos na Tabela 3.

Os dados foram normalizados para melhor comparação utilizando o EMA e o EXA como base nas próximas duas seções, respectivamente.

4.1 Comparação com EMA

Todas as implementações com computação aproximada oferecem alguma melhora quando comparadas com o EMA, como mostrado na Tabela 3.

Table 3: Caracterização elétrica

Topologia	Atraso Crítico (ps)	Potência (nW)	PDP (aJ)
EMA	44,35	485,51	21,53
SMA	34,57	325,68	11,26
AMA1	31,18	290,97	9,07
AMA2	32,60	123,95	4,04
EXA	324,41	262,61	85,14
AXA1	235,90	989,53	233,43
AXA2	194,87	70,48	13,73
AXA3	235,32	41,14	9,68

Os resultados de redução da potência são apresentados na Figura 5, comparados a potência nominal do somador exato *Mirror Adder*. Os melhores resultados foram obtidos no AXA3 (41,14nW), no qual houve uma redução de 91,53% quando comparada à dissipação do EMA (485,51nW). Quando considerados somente as topologias baseadas no EMA (SMA, AMA1 e AMA2), o melhor caso foi a versão AMA2. Este circuito apresentou como potência total dissipada o valor de 123,96nW, 74,46% menor que o *design* exato. Particularmente, o AXA1 mostrou um aumento de 1,03× na dissipação comparado ao EMA, demonstrando-se uma alternativa de computação aproximada não interessante para a redução no consumo energético. O atraso crítico foi menor na arquitetura AMA1 (31,18ps), 70,3% o atraso do EMA (44.35ps). Todas as quatro topologias XOR/XNOR tem resultados consideravelmente piores, uma ordem de magnitude maior que o EMA e suas aproximações, com o melhor caso sendo o AXA2 (194,32ps), que foi 4.40× o atraso do EMA convencional.

Sobre o PDP, o menor resultado foi obtido no AMA2 (4,04aJ), sendo 18.77% do PDP do EMA (21,53aJ). Entre as arquiteturas XOR/XNOR estudadas, o melhor PDP foi encontrado no AXA3 (9,68aJ), com 44,96% o PDP do EMA.

4.2 Aproximações XOR/XNOR

Em termos de dissipação de potência para cada aproximação baseada em XOR/XNOR, e utilizando a tensão de alimentação nominal, o AXA3 apresentou o melhor resultado de 41,14nW, 84,33% menor que a potência do EXA (262,61nW), como mostrado na Figura 6.

O atraso crítico foi menor no AXA2 (194,87ps). Estes circuito apresenta uma redução de 38,89% quando comparado ao EXA (324,19ps), também mostrado na Figura 6.

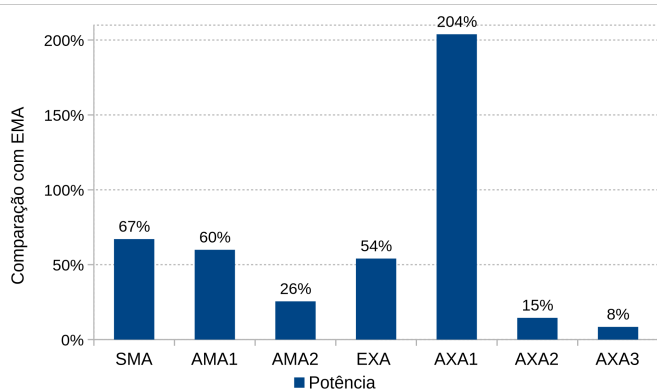


Figure 5: Comparação dos somadores quanto à potência e EMA.

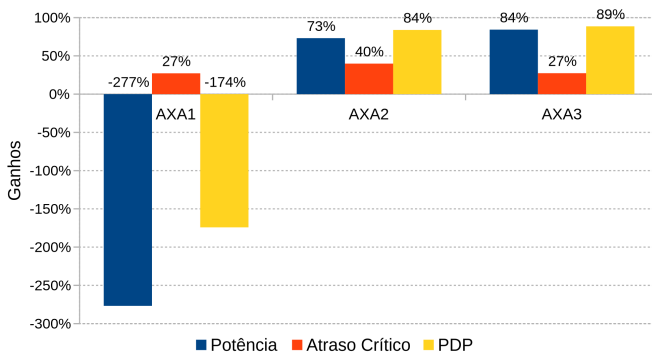


Figure 6: Comparação dos somadores XOR/XNOR aproximados e o EXA.

O menor valor de PDP foi obtido com o AXA3, 9,68aJ, sendo 88,63% menor que o somador XNOR exato (84,14aJ).

Nota-se que, enquanto os somadores XOR/XNOR mostraram redução em dissipação de potência em comparação com os somadores derivados do *mirror adder*, eles precisaram de fontes de alimentação *boost* para gerar sinais com níveis de ruído aceitáveis. O custo destas fontes foi resumido na Tabela 4.

Table 4: Dissipação da fonte *boost*

Topologia	Potência (μW)
EXA	7,61
AXA2	3,03
AXA3	3,02

5 ANÁLISE CONJUNTA DAS TÉCNICAS DE APROXIMAÇÃO E REDUÇÃO DE TENSÃO E OPERAÇÃO NEAR-THRESHOLD

Após a avaliação em tensão nominal, fez-se um estudo utilizando técnicas de redução de tensão para uma tentativa de reduzir ainda

mais o consumo energético [14]. Devido ao baixo desempenho do AXA1 em comparação às demais topologias, este *design* foi desconsiderado para estes e posteriores experimentos.

Pode-se observar que o *mirror adder* convencional, apesar de apresentar alta potência em tensão nominal, é bastante propenso à técnica de redução de tensão, tendo sua potência em 0,6V reduzida em 43,29% do valor em tensão nominal, como visto na Tabela 5. Operando em 0,4V, a potência é superior, mas semelhante às dos demais somadores, como demonstrado no gráfico da Figura 7. Embora o atraso aumente significativamente em 0,3V, quando em tensão de 0,4V, o EMA tem a redução de 77,84% na potência, com uma degradação no atraso de 9,05X.

Table 5: Efeitos da redução de tensão no consumo de energético (nW)

Topologia	0,7 V	0,6 V	0,5 V	0,4 V	0,3 V
EMA	485,41	275,29	164,46	107,54	14,70
SMA	336,38	189,47	117,76	73,33	18,39
AMA1	287,78	163,31	102,65	66,51	16,35
AMA2	123,95	82,08	47,68	28,43	7,23
EXA	257,95	116,00	62,60	16,40	-
AXA2	65,69	42,02	25,47	16,53	-
AXA3	41,14	24,62	14,49	8,86	-

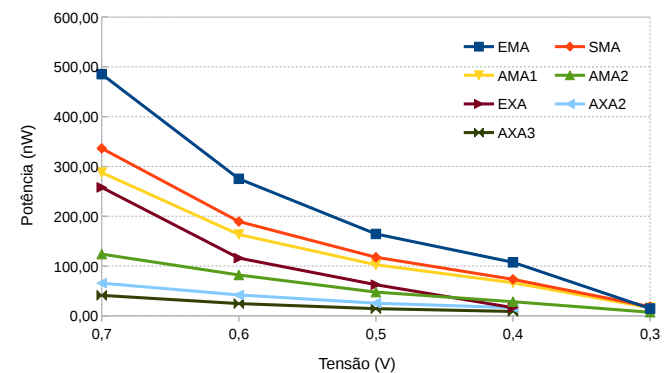


Figure 7: Dissipação de potência para cada tensão até *near-threshold*.

Todos os demais circuitos apresentaram melhores resultados de potência em todas as tensões avaliadas. Em particular, os circuitos AXA2 e AXA3, mantiveram sempre os resultados de menor potência, independentemente das tensões consideradas. Os circuitos derivados do MA convencional conseguem operar em tensões de até 0,3V sem degradação excessiva no atraso. A uma tensão de 0,4V, há inversão na ordem de consumo energético entre o AMA2 e o EXA, como visto na Figura 7.

Os *designs* AXA3 e EXA apresentaram degradação elevada no atraso quando operando abaixo de 0,5V, demonstrada na Figura 8, desaconselhando-se a utilização destes circuitos em tensões reduzidas. Os demais, apresentam um comportamento semelhante quando

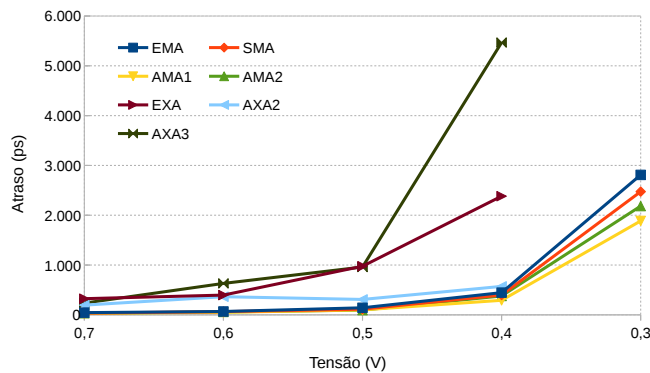
Figure 8: Atrazo crítico para cada tensão até *near-threshold*.

Table 6: Efeitos da redução de tensão no atraso (ps)

Topologia	0,7 V	0,6 V	0,5 V	0,4 V	0,3 V
EMA	44,35	66,78	141,31	445,92	2809,69
SMA	34,57	64,30	113,01	397,61	2473,80
AMA1	31,18	49,54	98,68	291,64	1884,78
AMA2	32,60	58,57	94,22	379,19	2183,53
EXA	324,41	396,62	975,53	2381,68	-
AXA2	194,87	634,16	309,44	570,94	-
AXA3	235,32	631,13	960,16	546,74	-

a degradação no atraso ao reduzir a tensão, sendo que o atraso é muito elevado após 0.4V.

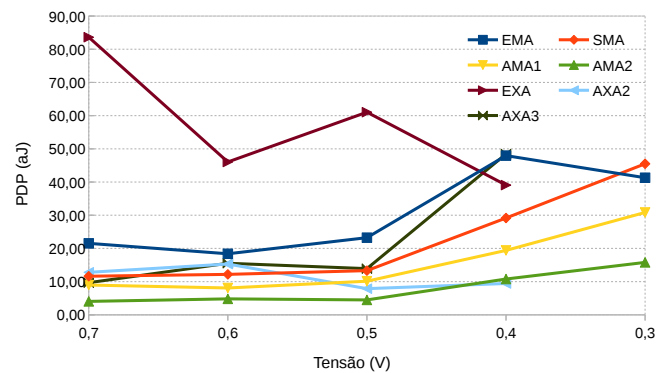
Pelo fato de os AXAs serem topologias otimizadas para operação com baixo consumo energético, estas arquiteturas apresentaram o menor ganho com a técnica de redução de tensão, como visto na Figura 7.

Quanto ao PDP, AMA2 apresenta a melhor relação para todas as tensões consideradas. O EXA teve elevado PDP devido ao seu atraso ser superior aos demais em tensão nominal, diferença que diminuiu com a redução da tensão, observado na Figura 9. Os circuitos em geral, exceto o EXA e EMA, apresentam bons resultados de PDP mesmo operando em tensão de 0.5V, em que é possível obter reduções de energia de até 38% (AXA2), se comparados à operação em tensão nominal.

Abaixo de 0.5, a degradação no atraso é superior ao ganho na redução da potência para praticamente todos os circuitos, o que aumenta significativamente o PDP.

Table 7: Efeitos da redução de tensão no PDP (aj)

Topologia	0,7 V	0,6 V	0,5 V	0,4 V	0,3 V
EMA	21,53	18,38	23,24	47,96	41,30
SMA	11,63	12,18	13,31	29,16	45,50
AMA1	8,97	8,09	10,13	19,40	30,82
AMA2	4,04	4,81	4,49	10,78	15,80
EXA	83,62	46,04	61,03	39,08	-
AXA2	12,80	15,30	7,88	9,44	-
AXA3	9,68	15,54	13,91	48,44	-

Figure 9: PDP para cada tensão até *near-threshold*.

5.1 Operação em *near-threshold*

Os FAs derivados do *mirror adder* atingiram tensões *near-threshold* (NT) em tensões próximas a 0,3V. Já os somadores baseados em XNOR atingiram *near-threshold* em tensões de 0,4V, sendo que as fontes de alimentação adicionais *boost* foram reduzidas até 0,5V.

Foram comparados os somadores aproximados com as arquiteturas exatas de referência, primeiramente com os aproximados e os precisos em NT, e posteriormente, com os inexatos em NT e os exatos em tensão nominal.

Para os FAs derivados do EMA, com o exato em NT, os resultados foram descritos na coluna 0,3V das Tabelas 5, 7 e 6. O melhor resultado para o atraso foi obtido em AMA1 (1,88ns), uma redução de 32,92% em comparação com o EMA (2,81ns). Na potência, a menor dissipação obtida foi para o AMA2 (7,23nW), em comparação com 14,70nW do EMA, isto é, 50,78% menor. E para o PDP, os melhores valores foram obtidos no AMA2 (15,80aj), reduzindo 61,75% do PDP do EMA (41,30aj).

Comparando-se agora com o EMA em tensão nominal, todos os somadores tiveram aumento no atraso crítico, sendo que o menor aumento ocorreu no AMA1, 41,5× o valor do atraso do EMA (44,35ns). Quanto à potência, houve redução significativa de 98,51% no AMA2 (7,23nW) em comparação com o EMA (485,51nW). E no PDP, o melhor caso é o AMA2, que apresentou diminuição de 26,62% em relação ao PDP do EMA (21,53aj).

Analisando os somadores XNOR em relação ao EXA em NT, pode-se observar a coluna 0,4V da Tabelas 5, 7 e 6. O melhor resultado no atraso crítico foi obtido no AXA2 (0,57ns), reduzindo 76,03% do atraso do somador exato (2,38ns). Quanto à potência, a menor dissipação foi obtida no AXA3 (8,86nW), 46,01% menor que a encontrada no EXA (16,41nW). O melhor caso para o PDP foi encontrado no AXA2 (9,44aj), redução de 75,85% comparado ao FA preciso (39,10aj).

Enfim, comparando os aproximados XNOR com o exato em tensão nominal, o atraso crítico teve aumento nas duas topologias estudadas, com o melhor caso sendo o AXA2, com incremento de 76,11% do valor do EXA (44,35ps). Ambas as arquiteturas apresentaram resultados similares para a dissipação de potência, com o melhor valor obtido em AXA3, 96,57% menor que o somador exato

(485,51nW). E o melhor resultado para o PDP foi obtido no AXA2, sendo 88,71% menor que o PDP da topologia EXA (85,14aJ).

6 CONCLUSÃO

Como existem vários arranjos de transistores para *full adders*, e dado que estes são circuitos críticos para muitas aplicações que são tolerantes a erro, é importante compreender os comportamentos, pros e contras de cada topologia, em particular quando considera-se o uso de somadores inexatos e simplificados logicamente.

Neste trabalho, oito somadores diferentes foram analisados, dois dos quais são somadores exatos, e os outros seis adotam a ideia de computação aproximada. A maioria destes somadores mostraram benefícios em potência e PDP em comparação com o *mirror adder* tradicional. Também houve redução no atraso crítico dos *designs* aproximados quando comparados a seu somador de referência, isto é, o SMA, AMA1 e AMA2 comparados ao EMA, e o AXA1, AXA2 e AXA3 com o EXA. As arquiteturas simplificadas conseguiram reduções na potência de até 90% (AXA3), quase 30% de redução no atraso crítico (AMA1), e até 80% de redução no PDP (AXA2).

Devido à necessidade de fontes de alimentação adicionais nos somadores com XNOR, houve aumento de sua potência total, ao mesmo tempo em que os circuitos apresentaram o maior atraso no caminho crítico, o que faz com que a melhor topologia quanto à dissipação de potência seja, de fato, a AMA2, que apresentou até ~75% de redução na potência, e uma diminuição de ~25% no atraso crítico.

É importante ressaltar que nenhuma melhora foi observada em eficiência energético na topologia AXA1, o que demonstra que simplificações lógicas a nível de circuitos não necessariamente resultarão em redução da dissipação de potência.

Analisados conjuntamente à técnica de redução de tensão para diminuição do consumo energético, os circuitos apresentaram bons resultados, sem grande degradação no atraso crítico em tensões até 0,5V. Foram obtidas reduções adicionais na operação dos somadores aproximados de até 65% na potência em comparação com os somadores inexatos em tensão nominal, com degradação de até 4,08× no atraso. Mesmo com a redução de tensão sendo realizada até *near-threshold*, as topologias aproximadas tiveram grande degradação no atraso, desaconselhando-se a operações em tensões menores que 0,5V.

Como trabalhos futuros, este projeto investigará o impacto de adotar *full adders* aproximados em aplicações livres de erro, a começar por casos de projetos de *hardware* para processamento de dados de mundo real que apresentam ruídos e para aplicações de vídeo.

ACKNOWLEDGMENTS

Este trabalho foi financiado em parte pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), e a Propesq/UFSC.

REFERENCES

- [1] J. Han. Introduction to approximate computing. In *2016 IEEE 34th VLSI Test Symposium (VTS)*, pages 1–1, April 2016. doi: 10.1109/VTS.2016.7477305.
- [2] T. Moreau, A. Sampson, and L. Ceze. Approximate computing: Making mobile systems more efficient. *IEEE Pervasive Computing*, 14(2):9–13, Apr 2015. ISSN 1536-1268. doi: 10.1109/MPRV.2015.25.
- [3] D. Marwaha and A. Sharma. A review on approximate computing and some of the associated techniques for energy reduction in IoT. In *2018 2nd International Conference on Inventive Systems and Control (ICISC)*, pages 319–323, Jan 2018. doi: 10.1109/ICISC.2018.8399087.
- [4] A. G. M. Strollo and D. Esposito. Approximate computing in the nanoscale era. In *2018 International Conference on IC Design Technology (ICIDT)*, pages 21–24, June 2018. doi: 10.1109/ICIDT.2018.8399746.
- [5] Z. Liu, J. Zhou, D. Wang, and T. Ikenaga. Register length analysis and VLSI optimization of VBS Hadamard transform in H.264/AVC. *IEEE Trans. Circuits Syst. Video Technol.*, 21(5):601–610, May 2011.
- [6] M. Osta, A. Ibrahim, H. Chible, and M. Valle. Approximate multipliers based on inexact adders for energy efficient data processing. In *2017 New Generation of CAS (NGCAS)*, pages 125–128, Sep. 2017. doi: 10.1109/NGCAS.2017.41.
- [7] Aminul Islam, M. W. Akram, Ale Imran, and Mohd. Hasan. Energy efficient and process tolerant full adder design in near threshold region using FinFET. In *Proceedings of the 2010 International Symposium on Electronic System Design, ISED '10*, pages 56–60, Washington, DC, USA, 2010. IEEE Computer Society. ISBN 978-0-7695-4294-2. doi: 10.1109/ISED.2010.19. URL <https://doi.org/10.1109/ISED.2010.19>.
- [8] M. Ha and S. Lee. Multipliers with approximate 4–2 compressors and error recovery modules. *IEEE Embedded Systems Letters*, 10(1):6–9, March 2018. ISSN 1943-0663. doi: 10.1109/LES.2017.2746084.
- [9] S. Mohanraj and M. Maheswari. SERF and modified SERF adders for ultra low power design techniques. *Procedia Engineering*, 30:639 – 645, 2012. ISSN 1877-7058. doi: <https://doi.org/10.1016/j.proeng.2012.01.909>. URL <http://www.sciencedirect.com/science/article/pii/S1877705812009198>. International Conference on Communication Technology and System Design 2011.
- [10] Zhixi Yang, Ajaypat Jain, Jinghang Liang, Jie Han, and Fabrizio Lombardi. Approximate XOR/XNOR-based adders for inexact computing. *2013 13th IEEE International Conference on Nanotechnology (IEEE-NANO 2013)*, pages 690–693, 2013.
- [11] Keivan Navi, Omid Kavehei, Mahnoush Rouholamini, Amir Sahafi, Shima Mehrabi, and Nooshin Dadkhahi. Low-power and high-performance 1-bit CMOS full adder cell. *Journal of Computers - JCP*, 3:48–54, 02 2008. doi: 10.4304/jcp.3.2.48-54.
- [12] R. Zimmermann and W. Fichtner. Low-power logic styles: CMOS versus pass-transistor logic. *IEEE Journal of Solid-State Circuits*, 32(7):1079–1090, July 1997. ISSN 0018-9200. doi: 10.1109/4.597298.
- [13] Neil Weste and David Harris. *CMOS VLSI Design: A Circuits and Systems Perspective*. Addison-Wesley Publishing Company, USA, 4th edition, 2010. ISBN 0321547748, 9780321547743.
- [14] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen. Low-power cmos digital design. *IEEE Journal of Solid-State Circuits*, 27(4):473–484, April 1992. doi: 10.1109/4.126534.