

Análise do Comportamento Elétrico e da Robustez à Radiação de Circuitos XOR em Tecnologia Nanométrica FinFET

Rafael Neves de Mello Oliveira

Departamento de Informática e Estatística
Universidade Federal de Santa Catarina
Florianópolis, Santa Catarina
rafael.nmo@grad.ufsc.br

Cristina Meinhardt

Departamento de Informática e Estatística
Universidade Federal de Santa Catarina
Florianópolis, Santa Catarina
cristina.meinhardt@ufsc.br

ABSTRACT

Electronic circuits are becoming more susceptible to errors caused by radiation due to scaling down technological node and high operating frequencies [4, 5, 11]. This work presents a comparative analysis of the sensitivity radiation for different XOR gate topologies 16 nm. The doors were implemented considering two different devices: Complementary Metal-Oxide Semiconductor (CMOS bulk) and Fin Field-Effect Transistor (FinFET) and two logics: Complementary Logic (CMOS logic) and Logic Passage Transistor (PTL). To allow a more detailed comparison, this work also discusses the critical delay results, power and the Power-Delay Product (PDP), a metric that defines the power dissipated by the circuit to perform an operation, for each version of XOR. The doors PTL-based XORs showed superior improvements 13% for the critical delay and 11% for the PDP in relation to CMOS logic. The topologies of the PTL family still showed greater robustness against the effects of radiation when compared to ports implemented with CMOS logic, with a Linear Energy Transfer (LET) being almost 30% higher for CMOS devices and approximately 20% higher for FinFET devices. In addition, circuits based on FinFET are about 70% faster, have a PDP 80% smaller and are approximately 300x more robust than CMOS technology, with an improvement in the LET threshold of both logical families evaluated.

KEYWORDS

Nanotecnologia, FinFET, Lógica CMOS, PTL, Robustez à radiação.

1 INTRODUÇÃO

A redução da escala do nó tecnológico introduziu novos desafios, de confiabilidade, no projeto de circuitos eletrônicos devido às pequenas dimensões e variabilidade do processo de fabricação. A miniaturização da tecnologia aumentou a frequência de operação e reduziu o tamanho dos circuitos e da tensão de corte, entretanto levou a um aumento significativo

nas correntes de fuga (*leakage currents*), gerando assim um maior consumo estático em portas lógicas [14].

Além disso, o processo de dimensionamento também tem um impacto direto e negativo na confiabilidade [6]. Em cada novo nó de tecnologia, há um aumento significativo no número de possíveis falhas, refletindo em altas taxas de erros nos dispositivos e um baixo rendimento do processo de fabricação de circuitos integrados [1]. Um desses tipos de falhas está relacionada diretamente ao aumento da suscetibilidade dos circuitos aos ruídos do ambiente e, particularmente, ao bombardeio de partículas de radiação [3].

Mesmo as partículas com baixa energia encontradas na superfície da Terra, antes ignoradas, agora são capazes de interferir na operação dos circuitos [16]. Assim, um dos maiores desafios da indústria de semicondutores é garantir a confiabilidade dos circuitos devido à interação de partículas ionizantes no silício. Por um longo tempo, o *Single Event Transient (SET)* foi considerado irrelevante devido à capacidade intrínseca das células combinacionais para mascarar seus efeitos. No entanto, a cada nova geração de tecnologia, os efeitos do mascaramento foram reduzidos, aumentando a necessidade de estudar e desenvolver técnicas de mitigação de SET [22].

Circuitos aritméticos complexos e sistemas computacionais são compostos por um conjunto de portas lógicas. Uma dessas células é a função OU-exclusiva (XOR). Devido à sua ampla aplicação, as características elétricas das portas lógicas XOR são essenciais, pois afetam significativamente o desempenho desses sistemas [12, 20].

Vários trabalhos exploram diferentes implementações de uma função lógica XOR, investigando novos arranjos de transistores, utilizando novas tecnologias e observando o comportamento desses circuitos em situações críticas, como por exemplo operação de baixa potência, ambientes de radiação ou projetos de nanotecnologias e seus desafios atuais [9, 10, 13, 15, 18, 21, 23, 29]. Entretanto, a maioria destes trabalhos considera apenas a tecnologia CMOS ou FinFET, dificultando a análise comparativa devido às diferenças na configuração experimental.

Este trabalho avalia e compara circuitos XOR usando lógica CMOS e PTL, implementados com nó de 16nm para dispositivos CMOS e FinFET por meio de simulações a nível elétrico. O principal objetivo deste trabalho é analisar a robustez dos circuitos XOR contra efeitos de radiação. Além disso, para permitir uma avaliação comparativa, este trabalho também apresenta as características elétricas das portas avaliadas. Esse conjunto de dados é útil para os projetistas de circuitos escolherem a porta XOR mais apropriada que atende requisitos específicos de um dado projeto.

2 TECNOLOGIAS DE FABRICAÇÃO DE CIRCUITOS INTEGRADOS

Desde a criação do primeiro circuito integrado implementado com transistores, em 1958, a tecnologia CMOS bulk foi a mais explorada e estudada desde então [28]. Como consequência disso, houve uma constante miniaturização dos transistores e melhorias nos processos de fabricação que permitiram aumentar a capacidade de integração de dispositivos em um único chip, possibilitando que mais funcionalidades sejam executadas em um único circuito integrado. De acordo com o *International Technology Roadmap 2011 para Semiconductors*, transistores MOSFET planares requerem alta dopagem de canal para controlar os efeitos de canal curto, que refletem na degradação da mobilidade e aumento do consumo de energia de fuga. Para superar esses obstáculos, MOSFETs de múltiplas portas são uma das tecnologias mais promissoras, porque permitem um melhor controle dos efeitos de canal curto, menor corrente de fuga e melhor rendimento nos processos de alta densidade [25].

Num dispositivo multigate, o canal é rodeado por várias portas em várias superfícies. Estes dispositivos fornecem um melhor controle elétrico sobre o canal, permitindo uma redução mais eficaz da corrente de fuga e um controle maior da corrente dinâmica [24]. Estas vantagens traduzem-se em menor consumo de energia e melhor desempenho dos dispositivos. Muitos tipos de transistores multigate podem ser encontrados na literatura. Em geral, podem ser diferenciados e classificados em termos de arquitetura (planar versus não-planar) e o número de portas (2, 3 ou 4).

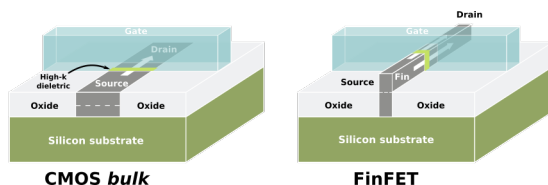


Figura 1: Dispositivo CMOS bulk e FinFET


FinFETs são transistores não planares cuja a principal característica é que o canal condutor é envolvido por uma fina estrutura de silício, chamada de "fin", que forma o corpo

do dispositivo [24]. A espessura deste fin (medido na direção da fonte para o dreno) determina o comprimento do canal efetivo do dispositivo. A Figura 1 compara a estrutura de um dispositivo FinFET e de um dispositivo CMOS bulk destacando as dimensões decisivas para determinar o comprimento de canal efetivo (L_{eff}) e a largura de canal efetiva (W_{eff}).

FinFETs empregam o processo de fabricação planar convencional (camada por camada) para criar dispositivos double-gate, evitando exigências mais rigorosas para a litografia, associadas aos transistores não-planares. Neste tipo de transistor, o canal de dreno e fonte são comprimidos entre duas portas, fabricadas de forma independente, feitas por pilhas de óxido. O principal desafio na fabricação de tais estruturas é o alinhamento entre as portas superiores e inferiores [24].

3 PORTAS LÓGICAS XOR

A porta XOR implementa a função lógica OU-exclusiva, isto é, a saída da lógica é verdadeira se apenas uma das entradas forem verdadeiras. Se ambas as entradas forem falsas ou ambas verdadeiras a saída resultará em falsa. A Fig. 2 apresenta o símbolo da função XOR e a tabela verdade. Basicamente, a porta XOR representa uma função de desigualdade, ou seja, a saída é verdadeira se as entradas não forem iguais, caso contrário, a saída é falsa.



A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0

Figura 2: Símbolo e tabela verdade da função lógica XOR

A lógica utilizada no projeto de um circuito tem impacto direto no seu atraso crítico, potência dissipada, tamanho e na complexidade da conexão entre os transistores. Todas essas características podem variar consideravelmente de um estilo lógico para outro e, portanto escolher adequadamente ele é crucial para obter um melhor desempenho do circuito. Principalmente porque XORs são usadas extensivamente em circuitos críticos como somadores, um dos blocos mais importantes de um sistema computacional [30]. Existem diferentes estilos lógicos, dois dos mais comuns são a lógica complementar (lógica CMOS) e a Pass-Transistor Logic (PTL) [31].

A lógica CMOS usa o conceito de projetar circuitos a partir de duas redes complementares de transistores (redes pull-up e pull-down). Isso faz com que os circuitos apresentem melhor robustez contra ruído e tenham uma operação confiável em baixas tensões, quando comparados com PTL [31].

A PTL explora o uso de transistores como chaves para transmitir os níveis lógicos entre os nós de um circuito, em

vez deles serem conectados diretamente às tensões de alimentação. Os circuitos *PTL* permitem a redução de transistores redundantes, levando muitas funções lógicas a capacidade de alcançar uma implementação com uma área menor do que a lógica *CMOS* [31].

ATRASO

Para definir a eficiência de um circuito é fundamental avaliar seu tempo de resposta, ou seja, o seu atraso. Neste trabalho investigou-se o tempo de propagação, que é o intervalo de tempo que a saída da porta lógica *XOR* demora para transicionar de valor (de 0 para 1 ou de 1 para 0) de acordo com a mudança do valor de entrada. Estes tempos são medidos a partir de 50% da onda de entrada até 50% da transição da onda de saída, levando em consideração os dois tipos de tempo de propagação: o *high-to-low* (t_{pHL} onde a saída vai de 1 para 0 e o *low-to-high* (t_{pLH}) onde a saída vai de 0 para 1. Este conceito é ilustrado na Fig. 3.

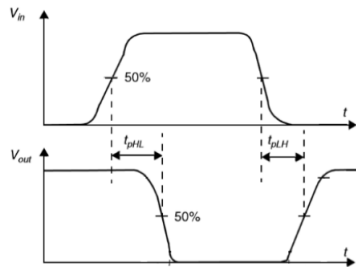


Figura 3: Tempos de propagação [19].

4 METODOLOGIA

A topologia adotada no projeto de portas lógicas *XOR* tem impacto nas características elétricas e na robustez à radiação. Assim, neste trabalho, um conjunto de nove diferentes topologias *XOR* foi escolhido, e o diagrama esquemático de cada porta *XOR* é apresentado na Fig. 4. Destas topologias, quatro implementações *XOR* exploram a lógica complementar (V1-V4) e cinco a *PTL* (V5-V9) [7].

A execução deste trabalho consiste em três etapas, ilustradas no fluxograma apresentado na Fig. 5:

- (1) Validação lógica dos arranjos topológicos: todas as portas *XOR* são implementados e seu objetivo é garantir o comportamento correto delas. Todas as 9 versões foram descritas eletricamente e validadas logicamente para as duas tecnologias avaliadas neste trabalho.
- (2) Caracterização elétrica: obtém o comportamento elétrico dos circuitos *XOR* em condições nominais, observando o atraso crítico e as características de potência. Para ajudar a identificar as melhores opções de design combinando requisitos de energia e atraso, este trabalho também apresenta o *Power Delay Product* (*PDP*),

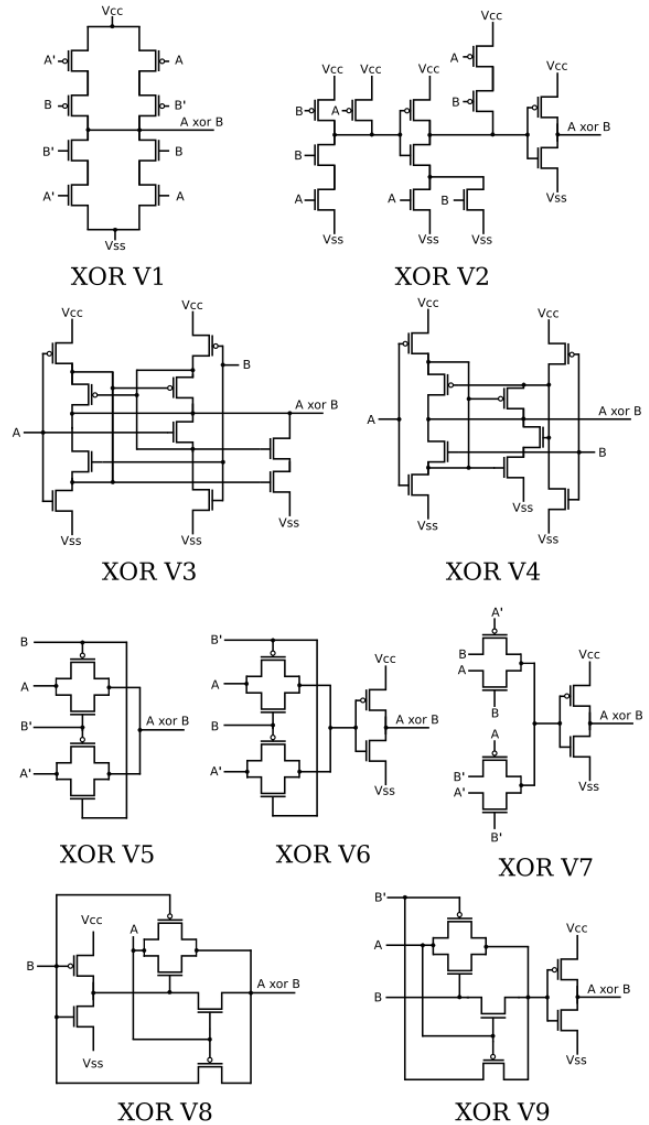


Figura 4: Topologias *XORs* avaliadas nesse trabalho.

métrica essa que define a potência dissipada pelo circuito para executar uma operação lógica.

- (3) Avaliação da robustez à radiação: O objetivo da terceira etapa é identificar todos os valores máximo de corrente que produzem uma alteração lógica, para todas as combinações de entrada da lógica *XOR* e escolher o pior caso. A extração de dados da robustez à radiação consiste em determinar a corrente mínima resultante da colisão de uma partícula no circuito de forma a causar uma falha em uma junção, ou seja, a *LET threshold*.

A avaliação da robustez da radiação das portas *XOR* é feita sob tensão nominal de alimentação usando os valores de referência para dispositivos *CMOS* e *FinFET*. A tensão de

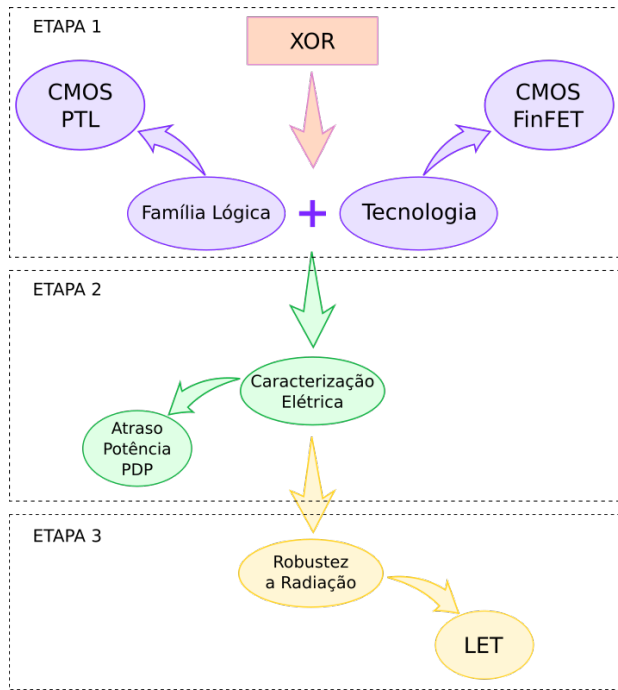


Figura 5: Fluxograma etapas do trabalho.

alimentação utilizada é de 0,7V para a tecnologia CMOS e de 0,85V para a tecnologia FinFET. Ambas as tecnologias são simuladas usando o modelo fornecido pela Arizona State University, através do Modelo de Transistor Preditivo (PTM) com nó de tecnologia de 16nm [2].

O impacto que um íon causa em uma junção depende da quantidade de carga coletada enquanto ele atravessa a região de depleção, ou seja, a *Linear Energy Transfer (LET)*, como mostrado da Fig. 6a [3]. A robustez de uma célula é medida considerando a *LET* mínima, ou seja, a energia mínima que provoca um erro no sistema. A simulação de falha do íon atingido na junção de um dispositivo é realizada no nível do circuito usando *HSPICE*. As experiências consistem em extrair a corrente mínima que causa uma falha no dispositivo, com base em uma solução analítica [17]. Para obter a corrente mínima em uma junção, a corrente induzida é modelada como um pulso transiente exponencial duplo, inserindo uma fonte de corrente independente no nó sensível, como mostrado na Fig. 6b. Para todas as topologias, o nó de saída foi o alvo da injeção de falha uma vez que a saída é sempre um nó sensível para a lógica XOR.

Depois disso, a *LET* é calculado para todos as portas XOR usando a Eq. (1). O Q_{coll} , definido pela Eq. (2), é a quantidade de carga coletada devido a colisão de um íon na junção. I_o é a corrente mínima para causar uma falha, obtida por simulações. O termo τ_α é a constante de tempo de coleta da junção e τ_β é a constante de tempo para o estabelecimento inicial da

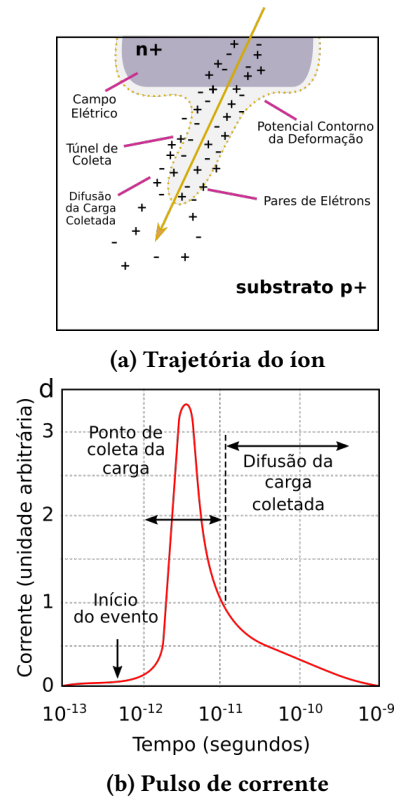


Figura 6: Modelagem da Linear Energy Transfer (LET).

travessia. Para os dispositivos usados neste trabalho, essas constantes são iguais a 200ps para τ_α e 10ps para τ_β [26]. O termo Q é a constante de carga que a partícula deposita ao longo de sua travessia e L é a profundidade da trilha de coleta de carga. O valor para essas constantes é $10,8fC/\mu m$ e $2\mu m$, respectivamente [27].

$$LET = \frac{Q_{coll}}{Q \times L} \quad (1)$$

$$Q_{coll} = I_o \times (\tau_\alpha - \tau_{beta}) \quad (2)$$

Para a tecnologia CMOS, todos os transistores foram dimensionados com base nas regras escaláveis do *MOSIS CMOS* [28]. Cada transistor possui um comprimento de canal $L = 16nm$ e largura de canal do transistor NMOS $W_n = 32nm$ e PMOS $W_p = 64nm$. Para a tecnologia FinFET, todos os transistores foram dimensionados com base em regras de projeto que exigem explicitamente um tamanho mínimo, com o número de fins igual a 3 e um comprimento de canal $L = 16nm$ [8]. Para analisar as duas famílias lógicas, dois inversores foram usados como entrada e quatro inversores (*fanout-of-4*) foram usados como carga a fim de simular um cenário mais realista, como mostrado na Fig. 7 [28].

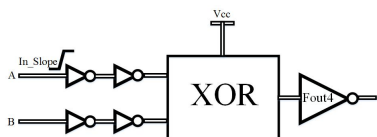


Figura 7: Ambiente utilizado para simulações.

5 CARACTERIZAÇÃO ELÉTRICA

A análise das portas XORs implementadas começa com a apresentação dos resultados da avaliação elétrica dessas células, considerando tensão e temperatura nominais. Essas informações são complementares à avaliação da robustez à radiação e corroboram para que os projetistas escolham a célula XOR mais apropriada para diferentes tipos de aplicações. Os resultados completos são apresentados na Tabela 1.

Atraso crítico

Ao se comparar o atraso crítico entre as famílias lógicas, para a tecnologia CMOS, as topologias implementadas em PTL se mostraram, em média, 13% mais rápidas. O mesmo comportamento foi observado ao analisar os dispositivos FinFET, sendo as portas em lógica PTL pouco mais de 17% mais rápidas quando comparado com as de lógica CMOS. Como poder ser observado na Fig. 8.

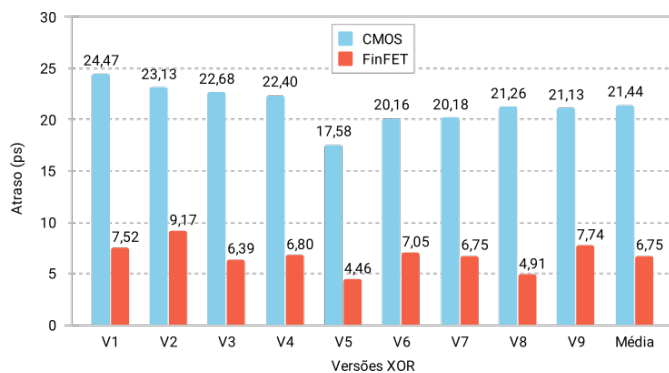


Figura 8: Atraso crítico para as tecnologias CMOS e FinFET

Vale ressaltar que a XOR V5 mostrou os menores resultados de atraso para ambas tecnologias, o que pode ser explicado pelo pequeno número de transistores que compõe essa

implementação, levando a um menor caminho crítico. Outro ponto a se destacar é que a XOR V1, uma das topologias mais comuns encontradas em células padrão, apresentou um dos piores atrasos para ambas tecnologias.

Analisando ambas tecnologias as topologias implementadas com dispositivos FinFET mostrou uma grande melhoria em relação aos dispositivos CMOS. Em média, as implementações do FinFET, se mostraram quase 70% mais rápidas. A topologia XOR V8 mostrou o melhor resultado no atraso, sendo quase 77% mais rápida que a mesma versão simulada na tecnologia CMOS.

Potência

A Fig. 9 representa os dados da potência total dissipada mostrando que as implementações em FinFET atingiram resultados semelhantes das versões em tecnologia CMOS, com uma pequena redução próxima a 5%, em média. É possível ainda observar que a XOR V8 mostrou os menores resultados de potência total dissipada para ambas tecnologias e que a XOR V6 e V7 ficaram entre as com o piores resultados.

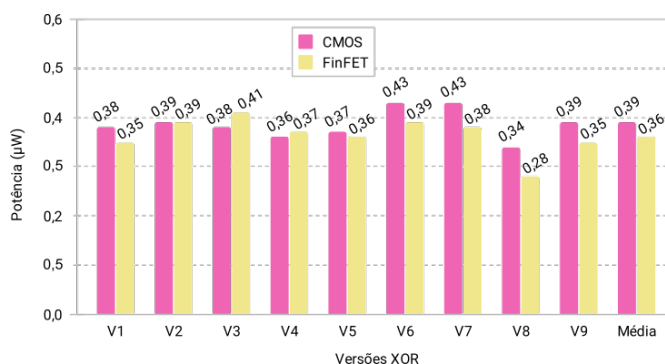


Figura 9: Potência dissipada para as tecnologias CMOS e FinFET

Relação entre Potência e Desempenho

A comparação entre os resultados de potência e desempenho pode ser realizada através da métrica PDP. Os resultados para o PDP são mostrados a fim de destacar as diferenças elétricas entre as tecnologias CMOS e FinFET. A redução do atraso crítico nos dispositivos FinFET reflete diretamente nessa métrica.

Tabela 1: Resultados de desempenho para os circuitos XORs avaliados em tecnologia CMOS e tecnologia FinFET

Tecnologia	Resultado	V1	V2	V3	V4	V5	V6	V7	V8	V9	Média
CMOS	Atraso (ps)	24,47	23,13	22,68	22,40	17,58	20,16	20,18	21,26	21,13	21,44
	Potência (µW)	0,38	0,39	0,38	0,36	0,37	0,43	0,43	0,34	0,39	0,39
	PDP (aJ)	9,19	9,07	8,59	8,17	6,55	8,61	8,62	7,18	8,16	8,24
FinFET	Atraso (ps)	7,52	9,17	6,39	6,80	4,46	7,05	6,75	4,91	7,74	6,75
	Potência (µW)	0,35	0,39	0,41	0,37	0,36	0,39	0,38	0,28	0,35	0,36
	PDP (aJ)	2,63	3,58	2,65	2,52	1,58	2,72	2,59	1,35	2,70	2,48

Como poder ser observado na Fig. 10, ao se comparar o PDP entre as famílias lógicas, para a tecnologia CMOS, as topologias implementadas em PTL mostraram resultados, em média, 11% melhores. O mesmo comportamento foi observado ao analisar os dispositivos FinFET, sendo as topologias PTL pouco mais de 23% melhores quando comparado com as de lógica CMOS.

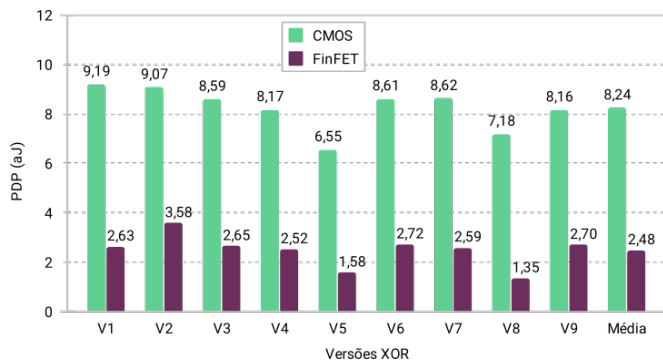


Figura 10: PDP para as tecnologias CMOS e FinFET

Entre todas as topologias abordadas XOR V5 apresentou o resultado mais proeminente de PDP para ambas tecnologias, o que está diretamente relacionado ao pequeno atraso crítico que essa topologia apresentou.

Ao se comparar ambas tecnologias nota-se que dispositivos FinFET diminuem o PDP médio em quase 70%. Além disso para as topologias PTL, simuladas com FinFET, a redução é ainda maior, alcançando pouco mais de 72%. Já para as implementações em lógica CMOS o PDP foi melhorado em quase 68%.

Vale ainda ressaltar que a XOR V8 implementada com FinFET apresentou os melhores resultados no PDP com uma redução superior a 80%, quando comparado com a mesma topologia em tecnologia CMOS.

6 AVALIAÇÃO DA ROBUSTEZ À RADIAÇÃO

Essa etapa de avaliação apresenta os resultados da robustez à radiação em circuitos simulados em tecnologias CMOS e FinFET. Primeiro são apresentados os resultados para os circuitos XOR em lógica CMOS e PTL. Depois disso, é discutida uma comparação entre as duas famílias lógicas. Por fim é feita a comparação entre as duas tecnologias: CMOS e FinFET. Todos os resultados da LET threshold são apresentados na Tabela 2.

Tabela 2: Resultados da LET

Tecnologia	V1	V2	V3	V4	V5	V6	V7	V8	V9
CMOS ($keVcm^2/mg$)	131,94	272,69	131,94	131,94	131,94	272,69	272,69	131,94	272,69
FinFET ($MeVcm^2/mg$)	43,10	73,01	51,90	43,10	53,66	73,01	73,01	43,10	73,01

XORs: lógica CMOS em dispositivos CMOS

A XOR V2 foi a porta mais robusta entre as topologias de lógica CMOS (V1-V4) com uma LET de $272,69 keVcm^2/mg$. A robustez de V2 é duas vezes maior que a outras três portas (V1, V3 e V4), que tiveram o mesmo comportamento com uma LET de $131,94 keVcm^2/mg$.

XORs PTL com dispositivos CMOS

Para as topologias PTL (V5-V9), V5 e V8 tiveram a pior LET de $131,94 keVcm^2/mg$. Que se mostram quase 39% abaixo da média das topologias PTL e ficando 51% menores do que os melhores casos obtidos (V6, V7 e V9).

XORs: lógica CMOS em FinFET

Para os circuitos com dispositivos FinFET, as topologias em lógicas CMOS (V1-V4), V1 e V4 tiveram o pior desempenho com uma LET de $43,10 MeVcm^2/mg$, que é quase 18% abaixo da LET média entre as topologias CMOS. V1 e V4 mostram resultados ainda piores, sendo quase 41% inferiores ao melhor caso (V5).

XORs PTL com FinFET

Entre as topologias PTL, V8 teve a pior LET de $43,10 MeVcm^2/mg$, que é até 32% pior que a média. Além disso essa porta XOR apresenta uma LET threshold 41% menor em comparação com as melhores portas XOR com FinFET: V6, V7 e V9.

Comparação lógica entre PTL e CMOS

Este trabalho também tem como objetivo discutir a influência da família lógica na robustez à radiação e explora a lógica CMOS e a PTL na implementação de portas XOR. A tabela 3 resume a LET threshold média, considerando a família lógica adotada na implementação da XOR (CMOS ou PTL), reunindo os resultados para permitir uma avaliação da topologia da família.

Tabela 3: Valores da LET média ($keVcm^2/mg$)

Tecnologia	lógica CMOS	PTL	Todas versões
CMOS ($keVcm^2/mg$)	200,11	237,50	194,49
FinFET ($MeVcm^2/mg$)	52,78	63,16	58,54

Comparando as famílias de lógica complementar e PTL implementadas com a tecnologia CMOS, as topologias de PTL mostram maior robustez contra os efeitos da radiação,

com uma LET média de $237,50 \text{ keVcm}^2/\text{mg}$, que é quase 19% maior que a média para topologias complementares ($200,11 \text{ keVcm}^2/\text{mg}$). Outro ponto a ser observado é que V2, V6, V7 e V9 tiveram melhores resultados para a tecnologia $CMOS$, como mostra a Fig. 11, com uma LET de $272,69 \text{ keVcm}^2/\text{mg}$.

O mesmo comportamento é observado para a tecnologia $FinFET$. As topologias PTL são mais robustas que as topologias em lógica complementar. A LET média para o PTL é até 19 % superior à média da lógica complementar. As topologias V2, V6, V7 e V9 apresentaram os melhores resultados de LET ($73,01 \text{ MeVcm}^2/\text{mg}$), conforme mostrado na Fig. 11.

Comparação de tecnologia $CMOS$ e $FinFET$

Finalmente, este trabalho compara o impacto da tecnologia $CMOS$ e $FinFET$ nos circuitos. Fig. 11 apresenta a LET threshold para todos as portas XOR , identificando a tecnologia adotada. A adoção da tecnologia $FinFET$ melhorou a robustez em comparação com a tecnologia $CMOS$ nas duas lógicas analisadas neste trabalho. Isso pode ser explicado pelo melhor controle de porta sobre o canal de condução.

Os circuitos V2, V6, V7 e V9 mostraram ser as topologias mais robustas em ambas as tecnologias com $LET = 272,64 \text{ keVcm}^2/\text{mg}$ para $CMOS$ e $LET = 73,01 \text{ keVcm}^2/\text{mg}$ para $FinFET$, como mostrado em Fig. 11. A XOR V1, uma das topologias mais comuns encontradas nas células padrão, provou ser um dos circuitos mais sensíveis com uma LET até 32% inferior à média para dispositivos $CMOS$ e pouco mais de 26% à média para $FinFET$. Os circuitos baseados em $FinFET$ para as topologias de lógica $CMOS$ mostraram uma LET média cerca de 315x maior que os dispositivos baseado em $CMOS$ e quase 292x para as topologias PTL . Além disso, considerando todas as topologias, a LET média do $FinFET$ mostrou ser 300x maior que os dispositivos baseados em $CMOS$.

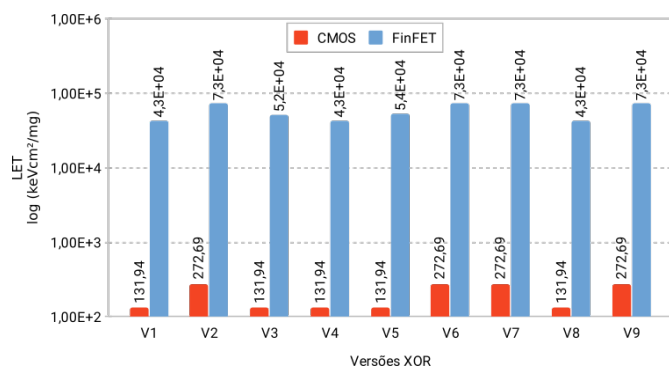


Figura 11: LET threshold para as tecnologias $CMOS$ e $FinFET$

7 CONCLUSÕES

Uma análise comparativa de desempenho e sensibilidade à radiação em diferentes topologias de portas lógicas XOR com base em dispositivos $CMOS$ e $FinFET$ é apresentada neste

artigo. Verificou-se que as topologias implementadas com lógica $CMOS$ são mais lentas, apresentam um maior PDP e são mais sensíveis a falhas de radiação, no nó de saída, do que as topologias PTL . Para todos os circuitos analisados, os dispositivos $FinFET$ demonstraram ser mais robustos contra falhas de radiação do que os circuitos baseados em $CMOS$. Vale ressaltar que as topologias que apresentaram um maior atraso crítico (V1, V3, V4, V5 e V8), em geral, se mostraram também mais sensíveis a radiação, levando a concluir que dentre as portas lógicas analisadas as que levam mais tempo para computar uma operação estão mais suscetíveis a sofrer com essas interferências externas. Para ambas as tecnologias, XOR V2, V6, V7 e V9 mostraram ser os menos sensíveis aos efeitos da radiação, considerando o estilo lógico. Além disso, os circuitos com dispositivos $FinFET$ melhoram a robustez contra falhas, em média, até 315x para a lógica $CMOS$ e quase 292x para a PTL .

ACKNOWLEDGMENTS

Este trabalho foi financiado em parte pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico - CNPq.

REFERÊNCIAS

- [1] L. Anghel and M. Nicolaidis. 2007. Defects Tolerant Logic Gates for Unreliable Future Nanotechnologies. In *Computational and Ambient Intelligence*, Francisco Sandoval, Alberto Prieto, Joan Cabestany, and Manuel Graña (Eds.). Springer Berlin Heidelberg, Berlin, Heidelberg, 422–429.
- [2] Arizona State University. 2019. Predictive Technology Model (PTM). Available: <http://ptm.asu.edu/>. <http://ptm.asu.edu/> [Online; accessed 10 June 2019].
- [3] R. C. Baumann. 2005. Radiation-induced soft errors in advanced semiconductor technologies. *IEEE Transactions on Device and Materials Reliability* 5, 3 (Sep. 2005), 305–316. <https://doi.org/10.1109/TDMR.2005.853449>
- [4] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadlage, and T. Turflinger. 2005. Variation of digital SET pulse widths and the implications for single event hardening of advanced CMOS processes. *IEEE Transactions on Nuclear Science* 52, 6 (Dec 2005), 2114–2119. <https://doi.org/10.1109/TNS.2005.860679>
- [5] J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Gadlage, and T. Turflinger. 2006. Digital Single Event Transient Trends With Technology Node Scaling. *IEEE Transactions on Nuclear Science* 53, 6 (Dec 2006), 3462–3465. <https://doi.org/10.1109/TNS.2006.886044>
- [6] S. Borkar. 2005. Designing reliable systems from unreliable components: the challenges of transistor variability and degradation. *IEEE Micro* 25, 6 (Nov 2005), 10–16. <https://doi.org/10.1109/MM.2005.110>
- [7] A. P. Chandrakasan, S. Sheng, and R. W. Brodersen. 1992. Low-power CMOS digital design. *IEEE Journal of Solid-State Circuits* 27, 4 (April 1992), 473–484. <https://doi.org/10.1109/4.126534>
- [8] Lawrence T Clark, Vinay Vashishtha, Lucian Shifren, Aditya Gujja, Saurabh Sinha, Brian Cline, Chandrasekaran Ramamurthy, and Greg Yeric. 2016. ASAP7: A 7-nm finFET predictive process design kit. *Microelectronics Journal* 53 (2016), 105–115.
- [9] F. G. R. G. da Silva, P. F. Butzen, and C. Meinhardt. 2016. PVT variability analysis of FinFET and CMOS XOR circuits at 16nm. In *2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*.

- 528–531. <https://doi.org/10.1109/ICECS.2016.7841255>
- [10] Y. Q. de Aguiar, C. Meinhardt, and R. A. L. Reis. 2017. Radiation sensitivity of XOR topologies in multigate technologies under voltage variability. In *2017 IEEE 8th Latin American Symposium on Circuits Systems (LASCAS)*. 1–4. <https://doi.org/10.1109/LASCAS.2017.7948075>
- [11] M. J. Gadlage, R. D. Schrimpf, J. M. Benedetto, P. H. Eaton, D. G. Mavis, M. Sibley, K. Avery, and T. L. Turflinger. 2004. Single event transient pulse widths in digital microcircuits. *IEEE Transactions on Nuclear Science* 51, 6 (Dec 2004), 3285–3290. <https://doi.org/10.1109/TNS.2004.839174>
- [12] S. Gotam, R. Kumar, and V. Singh. 2017. A new full-adder design using XNOR-XOR circuit. In *2017 International Conference on Emerging Trends in Computing and Communication Technologies (ICETCCT)*. 1–5. <https://doi.org/10.1109/ICETCCT.2017.8280320>
- [13] A. Islam, A. Imran, and M. Hasan. 2011. Variability analysis and FinFET-based design of XOR and XNOR circuit. In *2011 2nd International Conference on Computer and Communication Technology (ICCT-2011)*. 239–245. <https://doi.org/10.1109/ICCT.2011.6075163>
- [14] N. S. Kim, T. Austin, D. Baauw, T. Mudge, K. Flautner, J. S. Hu, M. J. Irwin, M. Kandemir, and V. Narayanan. 2003. Leakage current: Moore’s law meets static power. *Computer* 36, 12 (Dec 2003), 68–75. <https://doi.org/10.1109/MC.2003.1250885>
- [15] K. R. Kumar, P. M. Reddy, M. Sadanandam, A. S. Kumar, and M. Raju. 2017. Design of 2T XOR gate based full adder using GDI technique. In *2017 International Conference on Innovative Mechanisms for Industry Applications (ICIMIA)*. 10–13. <https://doi.org/10.1109/ICIMIA.2017.7975590>
- [16] J. Leray. 2001. Earth and Space Single-Events in Present and Future Electronics. In *European Conference on Radiation and its Effects on Components and Systems, RADECS*.
- [17] G. C. Messenger. 1982. Collection of Charge on Junction Nodes from Ion Tracks. *IEEE Transactions on Nuclear Science* 29, 6 (Dec 1982), 2024–2031. <https://doi.org/10.1109/TNS.1982.4336490>
- [18] S. Nishizawa, T. Ishihara, and H. Onodera. 2013. Analysis and comparison of XOR cell structures for low voltage circuit design. In *International Symposium on Quality Electronic Design (ISQED)*. 703–708. <https://doi.org/10.1109/ISQED.2013.6523687>
- [19] Jan M. Rabaey, Anantha Chandrakasan, and Borivoje Nikolic. 2004. *Digital integrated circuits- A design perspective* (2ed ed.). Prentice Hall.
- [20] D. Radhakrishnan. 2001. Low-voltage low-power CMOS full adder. *IEE Proceedings - Circuits, Devices and Systems* 148, 1 (Feb 2001), 19–24. <https://doi.org/10.1049/ip-cds:20010170>
- [21] K. Ravali, N. R. Vijay, S. Jaggavarapu, and R. Sakthivel. 2017. Low power XOR gate design and its applications. In *2017 Fourth International Conference on Signal Processing, Communication and Networking (ICSCN)*. 1–4. <https://doi.org/10.1109/ICSCN.2017.8085699>
- [22] Thara Rejimon. 2006. *Reliability-centric probabilistic analysis of VLSI circuits*. Ph.D. Dissertation. University of South Florida.
- [23] T. Sharma and L. Kumre. 2017. A comparative performance analysis of CMOS XOR XNOR circuits. In *2017 International Conference on Recent Innovations in Signal processing and Embedded Systems (RISE)*. 473–478. <https://doi.org/10.1109/RISE.2017.8378202>
- [24] R. O. Topaloglu. 2013. Design with FinFETs: Design rules, patterns, and variability. In *2013 IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*. 569–571. <https://doi.org/10.1109/ICCAD.2013.6691172>
- [25] Tsu-Jae King. 2005. FinFETs for nanoscale CMOS digital integrated circuits. In *ICCAD-2005. IEEE/ACM International Conference on Computer-Aided Design, 2005*. 207–210. <https://doi.org/10.1109/ICCAD.2005.1560065>
- [26] S. Uznanski, G. Gasiot, P. Roche, C. Tavernier, and J. Autran. 2009. Single event upset and multiple cell upset modeling in commercial bulk 65 nm CMOS SRAMs and flip-flops. In *2009 European Conference on Radiation and Its Effects on Components and Systems*. 194–200. <https://doi.org/10.1109/RADECS.2009.5994579>
- [27] F. Wang and V. D. Agrawal. 2008. Single Event Upset: An Embedded Tutorial. In *21st International Conference on VLSI Design (VLSID 2008)*. 429–434. <https://doi.org/10.1109/VLSI.2008.28>
- [28] Neil Weste and David Harris. 2010. *CMOS VLSI Design: A Circuits and Systems Perspective* (4th ed.). Addison-Wesley Publishing Company, USA.
- [29] X. Xu, X. Cui, M. Luo, Q. Lin, Y. Luo, and Y. Zhou. 2017. Design of hybrid memristor-MOS XOR and XNOR logic gates. In *2017 International Conference on Electron Devices and Solid-State Circuits (EDSSC)*. 1–2. <https://doi.org/10.1109/EDSSC.2017.8126414>
- [30] Bhavani Prasad Y., Harish Babu N., Ramana Reddy K.V., and Dhanabal R. 2014. Comparative performance analysis of XOR-XNOR function based high-speed CMOS full adder circuits. In *2014 International Conference on Reliability Optimization and Information Technology (ICROIT)*. 432–436. <https://doi.org/10.1109/ICROIT.2014.6798369>
- [31] R. Zimmermann and W. Fichtner. 1997. Low-power logic styles: CMOS versus pass-transistor logic. *IEEE Journal of Solid-State Circuits* 32, 7 (July 1997), 1079–1090. <https://doi.org/10.1109/4.597298>