

AVALIAÇÃO DOS EFEITOS DE RADIAÇÃO EM CÉLULAS SRAM

Cleiton Magano Marques
Centro de Ciências Computacionais (C3)
Universidade Federal do Rio Grande – FURG
cmarques@furg.br

Roberto Borba Almeida
Centro de Ciências Computacionais (C3)
Universidade Federal do Rio Grande – FURG
robertoalmeida@furg.br

Cristina Meinhardt
Departamento de Informática e Estatística
Universidade Federal de Santa Catarina - UFSC
cristina.menhardt@ufsc.br

Paulo Francisco Butzen
Departamento de Engenharia Elétrica
Universidade Federal do Rio Grande do Sul - UFRGS
paulo.butzen@ufrgs.br

ABSTRACT

The constant reduction in the dimensions of the integrated devices, has enabled great advances in the performance of computer systems. Modern systems operate at the GHz frequency and have integrated memories at the level of the CPU chip. However, this progress has been accompanied by several challenges. One of the main points is the integrity of the memory circuits in conditions of interaction with the external environment, that is, to keep the memory cells operating correctly during the operations of write, read and while storing a value. The robustness of SRAM memories is related to the ability of not change the stored value in the occurrence of fault. Currently, the collision of particles, previously restricted to space environments or hostile to radiation, begins to affect the behavior of integrated circuits, even at the grounded level. Considering that SRAMs performance is directly linked to the performance of computer systems, evaluating the effects of these strikes on this type of memory is extremely important. In this work, four topologies of SRAM cells are analyzed: 6T, 8T, 9T and 8T-SER. All were designed using 16nm CMOS predictive technology model. For each cell, the delay times, energy consumption, noise tolerance and radiation robustness were observed. These characteristics were evaluated for the three operating states of SRAM, that is, in the reading, writing and storage operation. Cell 8T showed the shortest writing delay and lowest energy consumption, while cell 6T showed the shortest reading delay. The 8T-SER cell, showed the highest tolerance in all noise margins and greater robustness to the radiation effects.

KEYWORDS

SRAM, Single Event Effects, Soft Errors, Single Event Upset, SNM, Robustez, Confiabilidade, CMOS.

1 Introdução

Sistemas computacionais tem como função principal o armazenamento e o processamento dos dados. Em sistemas digitais, os dados são armazenados nos circuitos de memória. Ao

longo de toda a evolução dos sistemas computacionais, três características se mostraram um desafio relacionado aos circuitos de memória: custo, capacidade e velocidade. Para otimizar estas características, a organização de memória adota diferentes níveis de memórias dentro de um sistema computacional. As tecnologias de memória mais rápidas são destinadas ao armazenamento dos dados mais frequentemente utilizados pelo processador, enquanto dados acessados com menor frequência são armazenados em memórias menos rápidas. [1].

Nesse contexto, memórias estáticas de acesso aleatório (SRAM) são um importante componente dentro dos circuitos integrados. A sua velocidade de leitura e gravação superiores aos outros tipos de memórias, juntamente com sua compatibilidade de operação em baixas tensões, torna a SRAM uma escolha desejável em aplicações de alto desempenho e/ou baixo consumo [2]. Nos sistemas modernos, a constante demanda por mais desempenho implica em um aumento agressivo da quantidade de memórias dentro de um chip. Atualmente as SRAMs ocupam o maior bloco de área em um sistema computacional, sendo cerca de 70% da área de um SoC (*Systems on Chip*) [3] e 90% de um processador [4].

Como a área é um recurso limitado, o uso das tecnologias nanométricas é a solução para atender a essa demanda. Entretanto, com a redução das escalas de dimensionamento, o aumento da frequência de operação e a redução da tensão de alimentação, uma maior suscetibilidade dos circuitos ocorre, principalmente à colisão de partículas [5].

Uma falha transiente ocorre quando um valor lógico é alterado em decorrência da interação com o ambiente externo e tem efeito temporário, ou seja, após um determinado tempo, o comportamento do circuito retorna ao normal. Por exemplo, em circuitos combinacionais, as falhas transientes afetam a saída atual do circuito e em circuitos sequenciais, o efeito transiente altera o valor armazenado até uma nova operação de escrita no dispositivo.

As falhas transientes devido a radiação acontecem quando uma partícula energizada colide em uma região sensível do transistor. Essa partícula acaba depositando carga nessa região, podendo alterar o estado do transistor [6]. O transistor pode então entrar em

condução, modificando o comportamento do circuito. Quando a falha transitente afeta um circuito de memória SRAM, ela pode alterar o valor armazenado nesta célula, provocando o efeito conhecido como *bitflip*.

No passado, esses efeitos transitentes devido a radiação eram uma realidade apenas em ambientes espaciais e/ou hostis a radiação, mas hoje são uma realidade até ao nível do mar [7]. Nesse contexto, uma das principais tendências é considerar *Soft Errors* como um parâmetro de projeto, mesmo em nível terrestre [8].

Nesse trabalho, serão avaliadas quatro topologias de células, as SRAMs 6T, 8T, 9T e 8T-SER [1][9][10], quanto a robustez aos efeitos de radiação de nível terrestre. Para avaliar a robustez destas células, serão realizados experimentos para investigar os nodos sensíveis das células, assim como dos circuitos auxiliares que compõem a arquitetura da SRAM. Além dos resultados de robustez a radiação, serão observados os atrasos de leitura e escrita, o consumo de energia e a tolerância a ruído das células.

2 Fundamentos de radiação

A radiação pode ser interpretada como energia em movimento. Essa energia se propaga pelo meio através de partículas subatômicas de matéria [11]. Os efeitos da radiação ocorrem no nível atômico. De modo geral, um átomo é um elemento neutro, possuindo o mesmo número de elétrons e prótons. A inclusão ou retirada de elétrons de um átomo o caracteriza como um íon. Quando a radiação entra em contato com um átomo, seja através de uma partícula ou de uma onda eletromagnética, a energia liberada pela colisão pode afetar a estrutura desse átomo. Se a energia liberada pela colisão superar a energia de ligação do átomo, ocorrerá uma ionização ou reação nuclear. Caso a energia seja inferior a energia de ligação, ocorrerá um deslocamento entre as partículas. Esses fenômenos podem ser denominados como radiação ionizante e não ionizante [11]. Na radiação ionizante os efeitos proporcionam o surgimento de novas partículas, além da liberação de mais radiação durante o processo. Enquanto isso, na não ionizante os efeitos geralmente se resumem a agitação das moléculas e geração de calor.

Considerando a radiação ionizante, as principais fontes são elementos radioativos ou os raios cósmicos provenientes do espaço. Os raios cósmicos consistem em partículas de alta intensidade, produzidas por supernovas, erupções solares ou buracos negros [12]. Esses raios são considerados partículas primárias. Quando chegam ao nosso planeta e interagem com o campo magnético e com a atmosfera terrestre, dão origem a um fenômeno em cascata conhecido como chuva de partículas [13]. Nesse fenômeno as partículas primárias colidem com os átomos na atmosfera, liberando novas partículas subatômicas que são altamente ionizadas. Os nêutrons eram considerados os principais responsáveis por causar esse tipo de falha em ambientes terrestres. Porém, falhas induzidas por múons tem recebido muita atenção de toda comunidade nos últimos anos [8]. Isso demonstra o preocupante aumento na sensibilidade dos circuitos, visto que os

múons são partículas bem menores e de menor densidade que os nêutrons.

Nesse contexto, *Single Event Effects* (SEEs) não destrutivos (falhas transitentes) são reconhecidos como uma grande ameaça para os dispositivos eletrônicos. Em circuitos de memória, um dos principais efeitos de radiação é denominado como *Single Event Upset* (SEU) [14]. Uma SEU ocorre quando uma partícula ionizada colide com a junção PN de um transistor reversamente polarizado. Essa colisão deposita pares de elétrons-lacunas que são coletados como carga pelo dispositivo. Esse processo de coleta de carga se dá através de dois mecanismos: *Drift* (Deriva) e *Diffusion* (Difusão) [1]. O mecanismo de *Drift* ocorre quando a partícula percorre a região de depleção. O campo elétrico dessa região coleta rapidamente os portadores excedentes da colisão. Essa coleta implica em uma deformação temporária da região de depleção, denominada *Funneling* [5]. Já o mecanismo de *Diffusion* é responsável por coletar os portadores gerados fora da região de depleção [1]. Se a carga acumulada durante esses processos for maior que a carga crítica suportada, o dispositivo apresentará um desvio de comportamento. A Figura 1 (a), (b) e (c) ilustram os mecanismos de depósito de carga durante a interação com o íon.

Em [15] foi utilizado um modelo analítico que simula os efeitos da colisão da partícula através da inserção de uma fonte de corrente no sistema, nesse trabalho seguimos o mesmo método. Nesse modelo a fonte adote a forma de pulso, que obedece ao comportamento de uma dupla exponencial. A Figura 1 (d) demonstra o comportamento desse pulso. Como base desse modelo temos as equações (1) e (2), onde:

- Q_{coll} é a carga coletada;
- $\tau\alpha$ é a constante de tempo de carga;
- $\tau\beta$ é a constante de tempo para a formação da trilha do íon.
- $10.8fc$ é a constante de carga depositada por μm .
- L representa a profundidade do depósito de carga.
- LET é a quantidade de energia por unidade de comprimento.

$$I(t) = \frac{Q_{coll}}{\tau\alpha - \tau\beta} (e^{-\frac{t}{\tau\alpha}} - e^{-\frac{t}{\tau\beta}}) \quad (1)$$

$$Q_{coll} = 10.8fc(L)(LET) \quad (2)$$

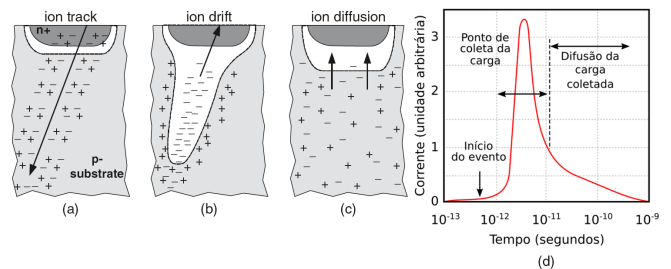


Figura 1: Geração dos pares de elétron-lacunas em uma junção *p-n* reversamente polarizada: (a) Ionização do substrato no local da colisão da partícula; (b) Formação do *funneling* na região de depleção; (c) A carga coletada na *drift* é sobreposta pela carga

coletada pelo *diffusion*; (d) Linha do tempo do pulso de corrente associado a colisão da partícula [1].

3 Fundamentos da SRAM

A ampliação das capacidades de armazenamento e o aumento da velocidade nas operações, em conjunto com a redução dos custos de fabricação, criaram um comprometimento difícil de ser alcançado pela indústria, principalmente em uma única memória. Para lidar com essa limitação, foi criado o conceito de Hierarquia de memória [17]. A hierarquia consiste em aproveitar o melhor de cada tecnologia de fabricação, alocando um tipo de memória específica para desempenhar a função que mais se adequa a ela. Dessa forma, os sistemas conseguem atingir bons resultados em desempenho, capacidade de armazenamento, sem elevar tanto os custos. No topo da hierarquia residem as memórias mais rápidas, porém com um alto custo de fabricação, o que implica em uma capacidade de armazenamento muito reduzida. O nível intermediário contém memórias com um custo de fabricação menor, mas ainda alto, que possuem um desempenho inferior ao nível superior. Porém já permite que essas memórias possuam uma maior capacidade de armazenamento. Na base da estrutura estão as memórias com um custo de fabricação muito baixo, implicando em memórias com uma grande capacidade de armazenamento. Entretanto, nesse nível os tempos de acesso são extremamente lentos.

Considerando o topo da hierarquia, são necessárias memórias rápidas, de alto desempenho. Para atingir esse rendimento, a tecnologia geralmente adotada é de memórias voláteis, ou seja, armazenam os dados enquanto alimentadas, mas perdem os mesmos com o desligamento do sistema. No projeto de memórias cache, a abordagem mais comum é a utilização de circuitos SRAM [1]. Esses circuitos permitem a leitura dos dados de maneira aleatória, não necessitando respeitar uma sequência definida. Memórias SRAM tem como principais modos de operação: a escrita, a leitura e o armazenamento. A maior vantagem da utilização dessa tecnologia é a alta velocidade de resposta nos acessos [2]. Atualmente os sistemas computacionais projetam as SRAMs no mesmo nodo tecnológico do processador. Em decorrência desse fato e da grande área ocupada em um chip, o rendimento dos sistemas está diretamente ligado ao desempenho das SRAMs.

Em um sistema digital, como uma memória SRAM, os dados são representados por cadeia de bits, que assumem os valores lógicos 0 ou 1. Cada bit é armazenado em uma célula de memória e o conjunto dessas células é agrupado na forma de uma matriz. Várias matrizes são formadas e reunidas na estrutura de um bloco. A Figura 2 ilustra a organização do bloco de memória, onde existem B blocos de N linhas por A colunas. Os decodificadores são responsáveis pela seleção das linhas e das colunas a serem acessadas. Cada ponto de seleção $N \times A$ é um conjunto de células interligadas pelas suas *bitlines*. Essas células armazenam uma palavra que representa um dado codificado em binário.

A estrutura interna de cada célula SRAM armazena um bit de informação. Existem diferentes circuitos propostos na literatura para implementar o circuito de uma célula SRAM [19][20][21]. O mais clássico e amplamente utilizado pela indústria é a célula SRAM 6T [1], apresentada na Figura 3. Este trabalho selecionou mais três outros circuitos de SRAM para avaliação, ilustrados na Figura 5. A SRAM 8T que possui um mecanismo dedicado que isola os nodos internos durante as operações de leitura [9]. A SRAM 9T, é baseada na 8T e propõe melhorias para os problemas de corrente de fuga [9]. A SRAM 8T-SER, é uma proposta de célula robusta a falhas não destrutivas (*Soft Errors*), que não possui mecanismos dedicados de leitura e é compatível com operações de baixa tensão ou baixo consumo [10].

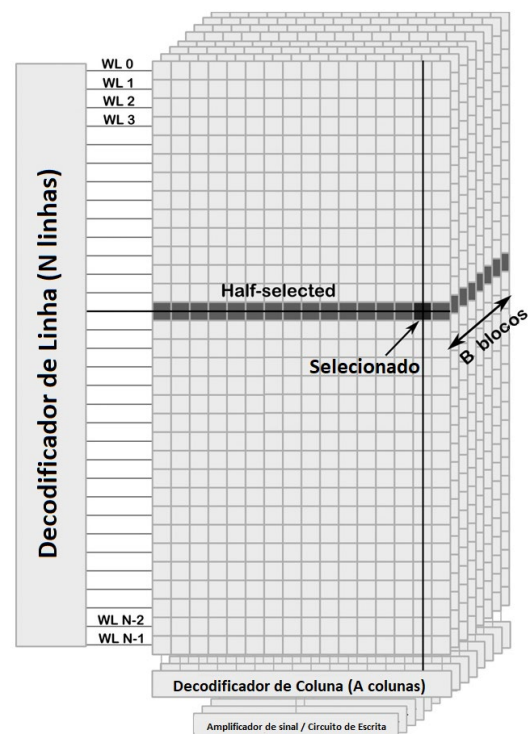


Figura 2: Estrutura de um array de memória.

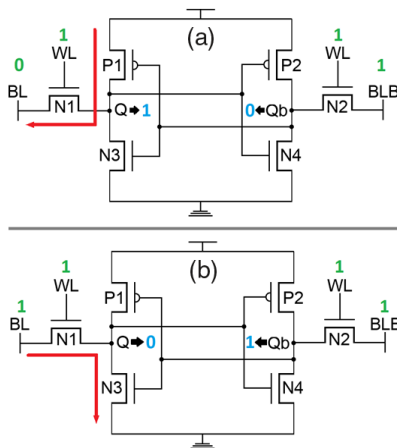


Figura 3: Diagrama da SRAM 6T: (a) Durante a operação de Escrita; (b) Durante a operação de Leitura.

Considerando funcionamento da célula 6T, durante a operação de escrita, o circuito de pré-carga é desativado para que então o circuito de escrita carregue os valores para as *bitlines* (BL-BLB). Após o sinal WL estar ativado, o dado começa a ser escrito nos nodos Q e Qb. Para ocorrer uma operação de escrita bem-sucedida a relação entre transistor de passagem (N1-N2) e os transistores da rede *pull-up* (P1-P2) deve ser igual ou menor que 1 [21]. A Figura 3 (a) demonstra o comportamento dessa operação.

Para a operação de leitura, o circuito de pré-carga estava previamente ativado, mantendo a tensão das *bitlines* alta. Efetuando o desligamento da pré-carga e habilitando WL, o nodo que estiver armazenando o valor logico 0 começa a baixar a tensão da respectiva *bitline* conectada a ele. A diferença de tensão entre BL-BLB é medida pelo circuito amplificador de sinal. Para ocorrer uma leitura bem-sucedida, a relação entre transistor de passagem (N1-N2) e rede *pull-down* (N3-N4) varia entre 1.25 a 2.5 dependendo da aplicação [21]. Quando WL não está ativo, a SRAM opera em modo de armazenamento, retendo o dado enquanto houver energia sendo aplicada na célula.

A arquitetura da SRAM também compreende os circuitos de escrita, pré-carga e amplificador de sinal. Na Figura 6 são apresentados os diagramas desses circuitos. O circuito de escrita tem como função o controle da tensão nas *bitlines*, para possibilitar as operações de escrita. O circuito de pré-carga tem a responsabilidade de manter uma determinada tensão nas *bitlines* durante o período de armazenamento da célula. Já o circuito amplificador de sinal, é responsável por medir uma pequena diferença de tensão entre as *bitlines* durante a operação de leitura e amplificar essa diferença para as saídas.

A estabilidade da SRAM é uma funcionalidade crítica, que determina a habilidade de reter as informações armazenadas

durante os modos de operação. As Margens de ruído estático (SNMs), mensuram a estabilidade da SRAM definindo a máxima tensão de ruído estático que pode ser tolerado pela célula [2]. Quando o ruído supera essa quantidade máxima, a SRAM apresenta um bitflip, ou seja, ocorre uma inversão no dado armazenado. A SNM durante a operação de armazenamento é denominada por HSNM, durante a operação de leitura por RSNM e durante a escrita por WSNM. As SNMs podem ser representadas graficamente através da sobreposição das características de transferência de tensão dos inversores, também referenciado como “curvas borboletas” [21]. A Figura 4 ilustra essa representação gráfica. Nessa representação gráfica, o lado do maior quadrado entre as curvas é a tensão de ruído máxima suportada.

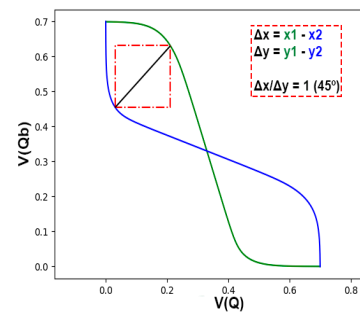


Figura 4: Método das curvas borboletas.

4 Metodologia

Os experimentos foram desenvolvidos através de simulações elétricas utilizando a ferramenta NGSpice [23]. Para avaliar o comportamento elétrico e a robustez destas células, quanto a falhas do tipo SEU, os circuitos foram descritos utilizando o modelo preditivo de alta performance (HP) *bulk* CMOS, fornecido pela *Arizona State University* (ASU) na tecnologia de 16nm [24].

Esse modelo opera com uma tensão de alimentação de 0.7V. A Tabela I apresenta os parâmetros relacionados a tecnologia, onde L é o comprimento do canal dos transistores, W é a largura do canal, Tox é a espessura do óxido e V_{th0} é a tensão necessária para a criação do canal de *threshold* no substrato zero.

TABELA I. PARÂMETROS DA TECNOLOGIA

Tecnologia	16nm	
Length (L)	16nm	
Width (W)	32nm	
Thickness (Tox)	0.95nm	
Vth0	NMOS	0.47965
	PMOS	-0.43121

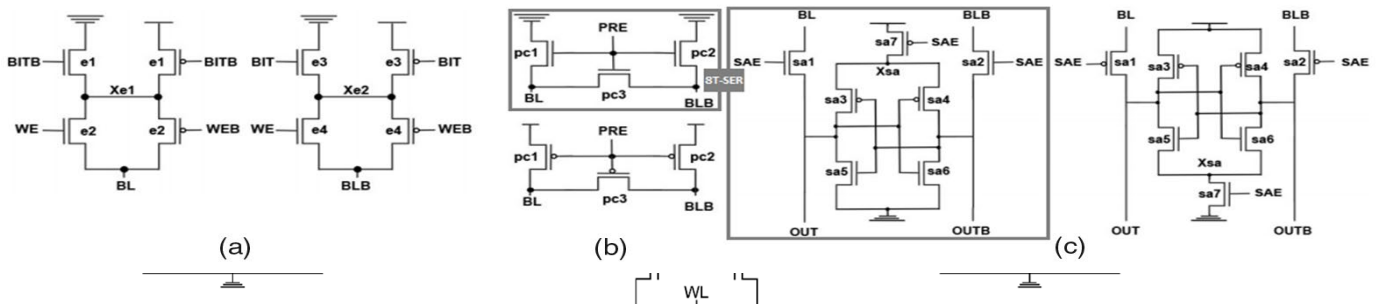


Figura 5: Diagrama das células: (a) SRAM 9T, (b) SRAM 8T-SER e (c) SRAM 8T.

Todas as células foram implementadas considerando uma arquitetura completa de SRAM, incluindo os circuitos de escrita (WE), pré-carga (PRE) e amplificador de sinal (SAE). A arquitetura foi construída na forma de coluna, sendo composta por 128 células de memória. A célula 6T foi implementada no seguinte dimensionamento: W dos transistores P1-P2-N1-N2 = 32nm e N3-N4 = 45nm. As células 8T e 9T foram projetadas da seguinte forma: W dos transistores P1-P2-N1-N2-N3-N4 = 32nm e N5-N6-N7 = 64nm (N7 somente na 9T). Na célula 8T-SER o dimensionamento ficou da seguinte maneira: P1-P2-P3-P4 = 40nm, N3-N4 = 45nm e N1-N2 = 50nm.

Como etapa inicial, foi definido um ambiente de validação das implementações. Esse ambiente foi montado através de uma sequência bem definida de operações, iniciando com a escrita do valor 0 na célula, seguido pela leitura deste e, na sequência, a escrita e leitura do valor 1, sendo representada a sequência como: Escrita_0/Leitura_0/Escrita_1/Leitura_1. Essa sequência também foi utilizada para a obtenção dos tempos das operações, definindo os tempos críticos para a leitura e escrita nas células.

Ao final da simulação, o simulador elétrico gera como saída a tensão dos nodos durante o período de simulação. Foi desenvolvido um *script* em *python* que interpreta essa saída e obtém os valores dos tempos de escrita e leitura. O tempo de escrita é obtido através do atraso entre 50% da tensão de subida da WL até 50% de subida do nodo que armazena o valor lógico 1. O tempo de leitura é mensurado pelo atraso entre 50% da tensão de subida de WL até o tempo que exista uma diferença de tensão entre as *bitlines*. Nesse trabalho, adota-se um limiar de 20mv para essa diferença de tensão.

O mesmo ambiente também pode ser utilizado para mensuração do consumo energético das células. Utilizando uma característica do simulador, foi possível realizar o cálculo do consumo de energia estático ao término da simulação.

Para a etapa de análise de tolerância a ruído foi necessário a construção de um novo ambiente de simulação. Com auxílio de uma fonte de tensão conectada a um dos nodos de armazenamento interno das células, foi executada uma simulação estática (DC) variando a tensão da fonte conectada aos nodos, de 0 até a tensão de alimentação. Novamente, o simulador gerou como saída a tensão dos nodos da célula. Um outro *script* em *python* foi implementado para interpretar essa saída e apresentar as margens de ruído estático (SNM) das células. As SNM foram obtidas através do método gráfico que as define como o lado do maior quadrado entre as Curvas Borboletas [22].

Na etapa final, foram realizadas as simulações relacionadas a SEU. Para realizar essas simulações, uma grande variedade de configurações de ambiente foram necessárias. Inicialmente, cada um dos nodos das células foi submetido a uma configuração de falha do tipo 010 e em seguida do tipo 101. Assim, foi possível verificar e encontrar quais nodos foram sensíveis a SEU. Conhecendo os nodos críticos, foi criado outro ambiente de teste, onde é realizada a escrita de um valor lógico na célula. Em

seguida, a falha é injetada em dos nodos sensíveis e, após um período de espera, é verificado se houve ou não uma alteração no valor armazenado na célula (*bitflip*). Através da implementação de um novo *script*, esse processo foi repetido sucessivas vezes, aplicando um algoritmo de busca binária para ajustar a intensidade do pulso de corrente de forma a encontrar a menor carga capaz de causar esse desvio de comportamento na célula. O *script* foi executado para cada nodo sensível de cada célula SRAM e o alcance da busca se limitou ao intervalo de LET encontrado na superfície terrestre. Essa abordagem considera os efeitos de SEU exclusivamente para uma célula, enquanto a mesma opera armazenando um valor lógico, em estado de *hold*.

A próxima sequência definida de operações, considera a incidência da partícula em um dos circuitos complementares da arquitetura de memória. Logo, agora será considerado a propagação dos efeitos transientes da colisão de uma partícula em um circuito combinacional, chamado de *Single Event Transient* (SET). Todos os nodos dos circuitos auxiliares foram submetidos a simulações de falhas do tipo 010 e 101 enquanto despenhavam sua função. As simulações foram realizadas em períodos de tempos diferentes dentro de cada operação e de cada circuito. Com essas métricas foi possível verificar quais nodos dos circuitos auxiliares são sensíveis e também qual a momento é mais crítico para a célula.

5 Resultados

Nesta sessão serão apresentados os resultados de cada tipo de análise individualmente. Os resultados foram agrupados em 4 categoria de análises: Tempos de Leitura e Escrita, Consumo energético, Tolerância a ruído e Robustez a radiação. Contido em cada categoria estarão os resultados específicos de cada topologia de célula avaliada.

A. Caracterização Elétrica

Os tempos para as operações de leitura e escrita, considerando o pior caso, estão disponíveis na Tabela II. Realizando as simulações de tempo para a célula 6T, foi possível observar a necessidade de um maior período de tempo para realizar a operação de escrita em relação a de leitura. A operação de escrita ocorreu cerca de 75% mais devagar que a operação de leitura. Já nas células 8T e 9T, foi a operação de leitura que demandou uma maior quantidade de tempo para ser realizada. A escrita ocorreu cerca de 45% mais rápido que a leitura. Na análise da célula 8T-SER ficou evidenciado a imensa demora na realização das operações, em relação as demais células. A operação de leitura se mostrou cerca de 20% mais lenta que a sua operação de escrita.

Os resultados para o consumo energético das células são apresentados na coluna4 da Tabela II. A célula 8T obteve o menor consumo, sendo cerca de 10% menor que o da 9T. A célula 6T demonstrou um consumo energético cerca de 18% maior que o da 8T. Já a célula 8T-SER apresentou um consumo extremamente maior, superando a margem dos 1000% em relação a 8T. As células 8T e 9T conseguiram apresentar um consumo menor em

relação a 6T, mesmo possuindo um número maior de transistores. Como os transistores NMOS internos das células 8T e 9T possuem dimensionamento mínimo, subir a tensão do nodo que armazena o valor lógico 0 ocorre de maneira mais fácil. Como resultado o transistor PMOS do inversor complementar, para de conduzir mais rapidamente. Assim, o consumo crítico caracterizado pelo período que os transistores conduzem simultaneamente é reduzido. Além disso, como características do mecanismo de leitura dedicada, temos o isolamento entre as *bitlines* e os nodos internos durante a leitura. Não sendo necessário o consumo extra para manter o nodo que armazena o valor lógico 1 estável após a conexão com a *bitline*.

O consumo excessivo apresentado pela célula 8T-SER, deve-se em grande parte pela sua característica de utilizar uma pré-carga em *ground*, juntamente com o fato de seus transistores de passagem serem do tipo NMOS.

Assim, ao conectar os nodos da célula às *bitlines*, existe uma dificuldade de conduzir o valor lógico 0, impactando no tempo necessário para realizar as operações, e mantendo a célula consumindo energia. É importante ressaltar que o circuito PRE da célula 8T-SER, diferente das demais, não consome energia.

B. Tolerância a ruído

A análise da integridade dos dados na presença de ruído está ilustrada na Tabela III. Considerando os resultados de HSNM (margens de ruído estático durante a operação de armazenamento) todas as células apresentaram uma tolerância similares. Analisando as RSNM (margens de ruído estático durante a operação de leitura) foi verificada a preocupante sensibilidade da célula 6T durante a leitura.

A célula 6T foi cerca de 72% mais sensível ao ruído durante a leitura. Isso ocorre, já que a célula não possui nenhum mecanismo de isolamento durante a operação de leitura. As demais células apresentaram resultados superiores e bem similares para RSNM, pois todas implementam mecanismos que não permitem a conexão dos nodos internos com as *bitlines*, durante a operação de leitura. Os resultados para WSNM (margens de ruído estático durante a operação de escrita) também foram bem similares entre as células. Entretanto a célula 8T-SER demonstrou um ganha relevante ganho em relação as demais, sendo cerca de 29% maior.

C. Robustez a radiação

Os primeiros resultados encontrados foram referentes aos nodos sensíveis das células. A célula 6T possui dois nodos Q-Qb, a 8T e 9T possuem três nodos Q-Qb-Qx e a célula 8T-SER possui quatro Q-Qb-Q2-Q2b. As Figuras 3 e 5 contém a indicação da localização desses nodos nas respectivas células. A célula 6T apresentou a menor quantidade de nodos suscetíveis a SEU, porém todos os nodos foram afetados durante as simulações. As células 8T e 9T possuem um nodo extra, em relação a 6T. Entretanto, esse nodo está isolado dos nodos internos da célula, não causando quaisquer efeitos no dado armazenado. A célula 8T-SER possui a maior número de nodos suscetíveis a SEU, sendo o dobro da 6T. Essa célula demonstrou total imunidade aos efeitos

de radiação em metade das simulações realizadas. Na estrutura dessa célula, os nodos sensíveis são pontualmente isolados. Esse isolamento depende do dado armazenado, e implica na região de imunidade daquele arranjo. Considerando esses dados, os resultados para efeitos SEU nas células foram obtidos. Para as simulações 101 a célula 8T-SER apresentou o melhor desempenho, enquanto para as simulações 010 a célula 6T obteve a maior robustez.

Na sequência da obtenção dos resultados, foram encontrados os nodos sensíveis a SET no contexto dos circuitos auxiliares (WE, PRE e SAE) considerando o circuitos utilizados na 6T convencional. Os principais nodos suscetíveis são BL-BLB, visto que são responsáveis por realizar a conexão entre as células que formam a palavra e os circuitos auxiliares. Foi identificado que quanto mais próximo do término da execução do circuito WE, menor é a carga necessária para causar um *bitflip* na célula. Já em relação ao circuito SAE, quanto mais próximo do início da execução, menor a carga necessária para causar a inversão no dado armazenado. A operação de pré-carga esta englobada dentro das operações de escrita e leitura, assim os valores de limiar de LET são obtidos juntamente dos circuitos WE e SAE. Os valores encontrados para o limiar de LET das células e dos circuitos auxiliares, estão disponíveis na Tabela IV.

TABELA II. RESULTADOS DE ATRASO E CONSUMO ENERGETICO

Célula SRAM	Escrita (ps)	Leitura (ps)	Energia (fJ)
6T	15.00	4.00	0.40
8T	8.00	15.00	0.34
9T	9.00	16.00	0.37
8T-SER	47.00	56.00	4.00

TABELA III. RESULTADOS DE RUIDO

Célula SRAM	HSNM (mV)	RSNM (mV)	WSNM (mV)
6T	179	53	281
8T	181	181	292
9T	181	181	292
8T-SER	180	180	363

TABELA IV. RESULTADOS DO LIMIAR DE LET (KeVCM²/MG)

Simulação	Células SRAM				Circuitos Auxiliares	
	6T	8T	9T	8T-SER	WE	SAE
010	255	176	185	150	316	3968
101	97	88	97	194	667	158

6 Conclusão

Este trabalho demonstrou o impacto dos desafios de projeto relacionados a construção de SRAMs em tecnologia nanométrica. Todas as células avaliadas foram implementas e devidamente validadas. Foram apresentadas as principais características relacionadas à confiabilidade das SRAMs, sendo medidos os

tempos de atraso, o consumo energético, a tolerância a ruído e robustez a radiação.

A célula 6T obteve o melhor atraso de leitura, entretanto apresentou um preocupante resultado quanto a estabilidade durante essa operação. O principal ponto negativo de célula 6T é baixa tolerância a ruídos demonstrada na análise de RSNM. A célula 8T obteve o melhor atraso de escrita, assim como, o melhor resultado de consumo energético. A 9T obteve resultados bem similares aos da 8T, em ambas as células, o único ponto negativo é a área ocupada em relação a 6T. A célula 8T-SER obteve os melhores resultados de SNM e robustez a radiação. A célula obteve valores equivalentes a 8T e a 9T quanto as HSNM e RSNM, entretendo teve um melhor desempenho na WSNM. Os principais pontos negativos dessa topologia foram a grande demora na realização das operações e o alto consumo energético. Entretanto a célula 8T-SER não é uma proposta focada em desempenho, mas sim em robustez e estabilidade, fazendo com que esses resultados já fossem esperados. A simulação dos efeitos de radiação demonstrou a imunidade da célula em metade das simulações, além de um ganho em robustez considerando o pior caso.

A análise dos circuitos auxiliares, apontou a sensibilidade desses circuitos a *Soft Errors*. Foi mostrado a possibilidade da propagação da falha dos circuitos auxiliares, para os nodos da célula durante as operações. Considerando o pior caso, a operação de leitura se mostrou mais sensível que a operação de escrita. Entretanto nas simulações 010, a dificuldade de condução do valor lógico 1 pelos transistores de passagem implicou em uma robustez maior em comparação as demais simulações.

No decorrer de trabalhos futuros será considerada a análise dos demais circuitos auxiliares e de novas células robustas a radiação. Juntamente com a realização de um estudo de caso da ocorrência de falhas em período de *half-select*. Um outro ponto considerado é o desenvolvimento de métricas para simulação de falhas em múltiplos nodos simultaneamente. Além disso, dar seguimento aos estudos realizados em CMOS nesse trabalho, para novas tecnologias, como o FinFET.

AGRADECIMENTOS

Esta pesquisa é parcialmente apoiada pelo Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq), pela coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES) e pela Fundação de Amparo à Pesquisa do Estado do Rio Grande do Sul (FAPERGS).

REFERENCES

- [1] PAVLOV, Andrei; SACHDEV, Manoj. **CMOS SRAM circuit design and parametric test in nano-scaled technologies: process-aware SRAM design and test**. Springer Science & Business Media, 2008.
- [2] RAJENDRAN, Aravind et al. **Noise margin, critical charge and power-delay tradeoffs for SRAM design**. In: 2011 IEEE 17th International On-Line Testing Symposium. IEEE, 2011. p. 145-150.
- [3] BERNSTEIN, Kerry et al. High-performance CMOS variability in the 65-nm regime and beyond. **IBM journal of research and development**, v. 50, n. 4.5, p. 433-449, 2006.
- [4] ALORDA, Bartomeu et al. 8T vs. 6T SRAM cell radiation robustness: A comparative analysis. **Microelectronics reliability**, v. 51, n. 2, p. 350-359, 2011.
- [5] BAUMANN, Robert C. Radiation-induced soft errors in advanced semiconductor technologies. **IEEE Transactions on Device and materials reliability**, v. 5, n. 3, p. 305-316, 2005.
- [6] GILL, Balkaran; SEIFERT, Norbert; ZIA, V. Comparison of alpha-particle and neutron-induced combinational and sequential logic error rates at the 32nm technology node. In: **2009 IEEE International Reliability Physics Symposium**. IEEE, 2009. p. 199-205.
- [7] NICOLAIDIS, Michael. Design for soft error mitigation. **IEEE Transactions on Device and Materials Reliability**, v. 5, n. 3, p. 405-418, 2005.
- [8] MANABE, Seiya et al. Estimation of Muon-Induced SEU Rates for 65-nm Bulk and UTBB-SOI SRAMs. **IEEE Transactions on Nuclear Science**, 2019.
- [9] KIM, Tony Tae-Hyoung; LEE, Zhao Chuan; DO, Anh Tuan. A 32 kb 9T near-threshold SRAM with enhanced read ability at ultra-low voltage operation. **Solid-State Electronics**, v. 139, p. 60-68, 2018.
- [10] SHAH, Jaspal Singh; NAIRN, David; SACHDEV, Manoj. A 32 kb macro with 8T soft error robust, SRAM cell in 65-nm CMOS. **IEEE Transactions on Nuclear Science**, v. 62, n. 3, p. 1367-1374, 2015.
- [11] FRIEDBERG, Wallace; COPELAND, Kyle. **Ionizing radiation in Earth's atmosphere and in space near earth**. FEDERAL AVIATION ADMINISTRATION OKLAHOMA CITY OK CIVIL AEROSPACE MEDICAL INST, 2011.
- [12] RASK, Jon et al. Space Faring: The Radiation Challenge. **Nasa, Module**, v. 3, n. 8, p. 9, 2008.
- [13] MÉSZAROS, Peter. Cosmic ray physics, 2017. URL: <http://personal.psu.edu/nnp/cr17.html>, acessado em outubro de 2019.
- [14] CAO, Xuebing et al. Simulation of Proton Induced Single Event Upsets in Bulk Nano-CMOS SRAMs. In: **2019 International Conference on IC Design and Technology (ICICDT)**. IEEE, 2019. p. 1-4.
- [15] MESSENGER, G. C. Collection of charge on junction nodes from ion tracks. **IEEE Transactions on nuclear science**, v. 29, n. 6, p. 2024-2031, 1982.
- [16] TORRENS, GABRIEL et al. A 65-nm reliable 6T CMOS SRAM cell with minimum size transistors. **IEEE Transactions on Emerging Topics in Computing**, 2017.
- [17] STALLINGS, William. **Computer organization and architecture: designing for performance**. Pearson Education India, 2003.
- [18] SINGH, Jawar; MOHANTY, Saraju P.; PRADHAN, Dhiraj K. **Robust SRAM designs and analysis**. Springer Science & Business Media, 2012.
- [19] NODA, Kenji et al. A loadless CMOS four-transistor SRAM cell in a 0.18-/spl mu/m logic technology. **IEEE Transactions on Electron devices**, v. 48, n. 12, p. 2851-2855, 2001.
- [20] NALAM, Satyanand; CALHOUN, Benton H. 5T SRAM with asymmetric sizing for improved read stability. **IEEE journal of solid-state circuits**, v. 46, n. 10, p. 2431-2442, 2011.
- [21] KIM, Hyun; CHANG, Ik Joon; LEE, Hyuk-Jae. Optimal Selection of SRAM Bit-Cell Size for Power Reduction in Video Compression. **IEEE Journal on Emerging and Selected Topics in Circuits and Systems**, v. 8, n. 3, p. 431-443, 2018.
- [22] RAJPUT, Amit Singh; PATTANAIK, Manisha; TIWARI, R. K. Estimation of Static Noise Margin by Butterfly Method Using Curve-Fitting Technique. **Journal of Active and Passive Electronic Devices**, v. 13, n. 1, p. 1-9, 2018.
- [23] NGSPICE Simulator Website [Online]. Available: <http://ngspice.sourceforge.net>.

- [24] Predictive Technology Model PTM [Online]. Available:
<http://ptm.asu.edu>.